

①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 196 11 944 A 1**

⑤1 Int. Cl.<sup>6</sup>:  
**G 06 F 13/40**

②1 Aktenzeichen: 196 11 944.8  
②2 Anmeldetag: 26. 3. 96  
④3 Offenlegungstag: 2. 10. 97

DE 196 11 944 A 1

⑦1 Anmelder:

Daimler-Benz Aktiengesellschaft, 70567 Stuttgart,  
DE

⑦2 Erfinder:

Hanf, Peter, Dipl.-Ing. (FH), 73035 Göppingen, DE;  
Minuth, Jürgen, Dipl.-Ing., 73054 Eisligen, DE;  
Setzer, Jürgen, 75428 Illingen, DE

⑤6 Entgegenhaltungen:

Elektronik 17/1991, S. 96-101;  
Elektronik plus 6/1993, S. 51-53;  
HENSEL: Multiplexsystem im Kfz. In: Elektronik  
Informationen Nr. 3-1988, S. 54, 55;

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Integrierter Schaltkreis zur Kopplung eines mikrokontrollierten Steuergerätes an einen Zweidraht-Bus

⑤7 Vorgeschlagen wird ein integrierter Halbleiterschaltkreis für ein elektronisches Steuergerät mit Mikrocontroller, wobei das Steuergerät kommunikationsfähig mit anderen mikrokontrollierten Steuergeräten ist, die diesberuflich ein Controller Area Network (CAN) bilden in dem protokollbasiert über eine Zweidrahtleitung kommuniziert wird, wozu jedes Steuergerät eine Bus-Protokollfunktion besitzt. Erfindungsgemäß maximiert der erstansprüchliche Schaltkreis die Verfügbarkeit des CANs dadurch, daß er zum einen eine busfehlertolerante Transceive-Funktion realisiert, welche eine Kommunikation auch noch bei Vorliegen eines Busfehlers erlaubt, und zum anderen vermöge Busfehler-Erkennungs- und Behandlungsmitteln, die den Bus im Fehlerfalle von seinen normalen Teilnehmerabschlüssen freischalten und unterminieren. Dadurch wird - unter Aufrechterhaltung einer Kommunikationsfähigkeit - verhindert, daß insbesondere bei sehr großen CANs aus Teilnehmern busweit parasitäre Ströme über den Bus in die Fehlerstelle abfließen, die im Falle eines batteriegestützten Bussystems die Verfügbarkeit des Netzes auf den Erschöpfungszeitpunkt der Batterie begrenzen. Der Schaltkreis leistet insoweit eine Erhöhung der Netz-Verfügbarkeit integral auf zwei Ebenen, nämlich auf der Kommunikationsebene und auf der Systemenergieebene. Der zweitansprüchliche Schaltkreis umfaßt z. T. andere Mittel zur Erhöhung der Verfügbarkeit im Wege einer anderen Strategie.

DE 196 11 944 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 08. 97 702 040/166

36/22

# Beschreibung

Die Erfindung bezieht sich auf einen integrierten Schaltkreis zur Kopplung eines mikrokontrollierten Steuergerätes an einen Zweidraht-Bus nach der Gattung der unabhängigen Ansprüche 1 und 2.

Die wachsende Zahl CAN-busverbundener elektronischer Geräte in Industrieanlagen und Verkehrsmitteln, beispielsweise in Kraftfahrzeugen, verlangt nach Kopplungsmitteln zum Verbund der Microcontroller untereinander über ein zweidrahtiges Busnetz. Für diesen Zweck wurden mehr oder weniger diskrete Lösungen bekannt, die sich bislang jedoch als nicht universell einsetzbar erwiesen. Insbesondere machen und halten sie das Busnetz nicht oder nicht schnell genug verfügbar, wenn ein kapitaler Fehler am Busmedium vorliegt. Andererseits können Busfehler zu einem erhöhten Stromverbrauch des Gesamtnetzes über den Bus führen, wodurch beispielsweise im Falle des Netzbetriebs aus einer Batterie die Verfügbarkeit indirekt beeinträchtigt wird. Zum anderen Teil fehlen solchen Kopplungsmitteln netzverfügbarkeitserhöhende Managementfunktionen. Ein sehr anschauliches Beispiel hierfür liefert z. B. der Stromverbrauch in Busnetzen bzw. in Busteilnehmern während Zeiten geringer oder gar keiner Aktivität auf dem Bus, d. h. der Betriebsstromverbrauch im Gegensatz zum vorgenannten Fehlerstromverbrauch. Er folgt zwangsläufig Probleme hinsichtlich einer ausreichend sicheren bzw. ausreichend langen Verfügbarkeit des gesamten Busnetzes dann, wenn für den Betrieb nur eine vorbestimmte elektrische Energiemenge zur Verfügung steht, etwa aus der Starterbatterie eines Verkehrsmittels oder der Stützbatterie einer Meßstation für Noterhalt von Daten etc. Der beschränkte Energievorrat beschränkt hier sogar die Verfügbarkeit der vom Busnetz gesteuerten Applikationen und ihrer Failsafe-Routinen für den Fall eines Bus-Zusammenbruchs, m.a.W. nicht nur die Verfügbarkeit des Busses mit all seinen Kommunikationseinrichtungen als Medium.

Um den Stromverbrauch zu beschränken, ist es bekannt, einzelne busteilnehmende Geräte, die innerhalb einer bestimmten Betriebsphase nicht benötigt werden, ganz abzuschalten.

So ist es z. B. von der Anmelderin vermarkteten Kraftfahrzeugen bekannt, elektronische Steuergeräte, deren Stromverbrauch bei Stillstand des Fahrzeugs stört, von der Klemme 15 des Zünd-/Startschalters aus mit Strom zu versorgen. Bei abgezogenem Zünd-/Startschlüssel sind sie so von der Bordstromversorgung ausgenommen. Geräte, deren Betriebsfähigkeit auch bei Nichtbetrieb des Fahrzeugmotors unverzichtbar ist, werden von der dauerstromversorgten Klemme 30 mit Strom versorgt.

Geht man jedoch davon aus, daß allein der Spannungsregler eines jeden solchen dauerstromversorgten Gerätes ca. 500 µA, der Ruhestrombedarf des Transceivers (Empfangsdiskriminator und Endstufe) zwischen Bus und Elektronik ca. 150 µA und der Ruhestrombedarf der jeweiligen Geräteperipherie (z. B. Spannungsteiler, Sensorstromquellen etc.) jeweils ca. 500 µA beträgt, resultiert für jedes Gerät ein Gesamt Ruhestrombedarf von mehr als 1 mA.

Sind beim Beispiel eines Kraftfahrzeugs mit busvernetzten Steuergeräten z. B. 30 solcher Geräte vorhanden, würde dies einen Gesamt Ruhestrombedarf von mindestens 30 mA bedeuten. Bei einem Kraftfahrzeug kann dies zur Folge haben, daß das außer Betrieb genommene Kraftfahrzeug infolge beständiger Entladung

seiner Batterie nach ca. 3—4 Wochen nicht mehr startbar ist. Dies hat wiederum zur Folge, daß in entsprechenden Kraftfahrzeugen, die z. B. in einen anderen Kontinent verschifft werden sollen, zwecks Sicherstellung ihrer Startbarkeit am Empfangsort vor der Verschiffung eine Abtrennung der Batterie vom Bordnetz erforderlich ist.

Es ist daher Aufgabe der Erfindung, einen integrierten Halbleiterschaltkreis zur Kopplung eines mikrokontrollierten Steuergerätes an einen Zweidraht-Bus vorzuschlagen, der die Netzverfügbarkeit erhöht.

Ausgehend von einem gattungsgemäßen Schaltkreis wird diese Aufgabe im Rahmen der Erfindung mit zwei Realisierungsstrategien, die beide für sich allein zur Anwendung gelangen können, gleichwohl aber auch im Verbund verschieden gestuft sich mannigfaltig ergänzend zur Anwendung gelangen können, gemäß den Merkmalen der nebengeordneten Ansprüche 1 und 2 gelöst.

Der Schaltkreis mit den Merkmalen des Anspruch 1 erhöht die Verfügbarkeit des Busnetzes dadurch, daß er zum einen eine busfehlertolerante Transceiver-Funktion realisiert, welche eine Kommunikation auch noch bei Vorliegen eines Busfehlers erlaubt, und zum anderen vermöge Busfehler-Erkennungs- und Behandlungsmittel, die den Bus von im Falle eines Fehlers seinen normalen Teilnehmerabschlüssen freizuschalten vermögen. Durch diese Maßnahme wird verhindert, daß busweit aus den Teilnehmern parasitäre Ströme über den Bus abfließen, die im Falle eines batteriegestützten Bussystems die Verfügbarkeit des Bus-Netzes durch Erschöpfen der Batteriekapazität einschränken. Der Schaltkreis gemäß Anspruch 1 leistet insoweit eine Erhöhung der Netz-Verfügbarkeit integral auf zwei Weisen, nämlich sowohl auf der Kommunikationsebene als auch auf der Energieebene für den Betrieb des Netzes.

Der Schaltkreis gemäß Anspruch 2 erhöht die Verfügbarkeit des Busnetzes dadurch, daß er eine Transceiver-Funktion mit zwei voneinander verschiedenen, vom Microcontroller einstellbaren Betriebsarten "Senden und Empfang/NORMAL" und "Schlafen/SLEEP" realisiert. Der Schaltkreis umfaßt sowohl vom Bus aus als auch über einen besonderen Eingang aktivierbare Weckmittel, wenn er sich in der Betriebsart "SLEEP" befindet, sowie Weck-Auswertungsmittel, mittels derer entweder in der Betriebsart "SLEEP" ein in einem Lowpower- oder Shutdown-Mode gehaltener Microcontroller definiert gestartet bzw. initialisiert sowie von ihm angesteuerte Kreise zwecks Anschaltung an eine Stromversorgung angesteuert werden können, oder aber die Stromversorgung des Microcontrollers wie auch die anderer Stromverbraucher gänzlich abgeschaltet und bei Bedarf wieder kontrolliert aufgebaut werden kann.

Weitere Vorteile werden bei Fortbildungen gemäß den abhängigen Ansprüchen 3 bis 41 erzielt. Im Detail wird diesbezüglich auf die Beschreibung der Ausführungsbeispiele verwiesen.

Der erfindungsgemäße integrierte Halbleiterschaltkreis verhilft einem damit ausgestatteten busvernetzten elektronischen Steuergerät zur Fähigkeit, auch unter erschwerten Kommunikationsbedingungen und/oder aus einem begrenzten Energievorrat längstmöglich kommunikationsfähig zu bleiben oder in Betriebszuständen mit reduzierter Aktivität zu verharren, aus denen heraus das Gerät auf kontrollierte Weise normale Aktivität wieder schnell entwickeln kann. Er macht die Verfügbarkeit sowohl der Busprotokoll-Funktion als

auch des Microcontrollers zum Zwecke der Aufrechterhaltung sowohl der normalen Weckfähigkeit des Steuergerätes als auch der Weckfähigkeit im Busfehlerfall überflüssig.

Insgesamt kann der Schaltkreis alle zum Empfang vom Bus benötigten Signaldiskriminatoren und Signalaufbereitungsmittel, die Sende-Busadertreiber und deren Koppelmittel, sowie alle Mittel zur Echtzeit-Busfehlererkennung und -behandlung nebst Mitteln zur Anpassung der Sende- und Empfangsmittel an Fehlersituationen umfassen und in einer einzigen Halbleiterschaltung konzentrieren, welche somit ein Physical Layer zwischen dem Busprotokoll-Chip bzw. der Busprotokollfunktion des betreffenden Steuergerätes und dessen Microcontroller und den zwei Adern eines beispielhaft nach CAN-Standard gestalteten Busses repräsentiert. Der Schaltkreis verzichtet auf Software für den Betrieb des Microcontrollers zur Erkennung von Wecksignalen oder möglicher Busfehler sowie zur fehlerfallweisen Abschaltung bzw. Freischaltung der Sendemittel vom Bus sowie zur Umkonfiguration der Empfangs- und Sendemittel zwecks Übergang von der differentiellen Zweidraht-Betriebsweise auf eine nur eindrähtige über Masse und stößt mit diesem Konzept in Reaktionszeitebereiche vor, die Botschaftsverluste vermeiden lassen.

Mehrere Ausführungsbeispiele des integrierten Halbleiterschaltkreises sind in der Zeichnung dargestellt und in der nachfolgenden Beschreibung näher erläutert, wobei für den Begriff "integrierter Halbleiterschaltkreis" durchgängig die fachweltlich stehende Abkürzung "IC" verwendet wird. Wegen der Komplexität der von dem IC umfaßten und mehr oder weniger miteinander zusammenhängenden Funktionen ist die Beschreibung so gehalten, daß die Merkmale in bestverständlichem Zusammenhang erläutert werden, während die applikationsabhängig unterschiedlichen Verkörperungsalternativen anspruchsvoll voneinander unterschieden werden.

Fig. 1a ein erstes Wirkschaltbild zur Veranschaulichung der Einbindungsumgebung des IC, wobei der IC einen Spannungsregler ansteuert;

Fig. 1b ein entsprechendes Wirkschaltbild, wobei der IC andere unter Busmanagement stromverbrauchend zu betreibende Elektronik ansteuern kann;

Fig. 2 eine schematische Veranschaulichung diverser, zu Funktionsblöcken beispielhaft zusammengefaßter Funktionen des IC 100 aus Fig. 1a und 1b;

Fig. 3a ein schematisches Wirkschaltbild der durch den Funktionsblock 131 bewirkten Abschlußbeschaltung der Bus-Adern;

Fig. 3b ein Wirkschaltbild analog zu Fig. 3a bei resistivem Ersatz eingepprägter Stromquellen und mit einer weiteren Schaltfunktion;

Fig. 4 ein schematischer Wirkschaltbildauszug des IC im CAN-Netzverbund mit anderen derartigen IC in anderen Busteilnehmern in der Betriebsart "NORMAL";

Fig. 5 ein schematischer Wirkschaltbildauszug des IC im CAN-Netzverbund mit anderen derartigen IC in anderen Busteilnehmern in der Betriebsart "SLEEP" oder "STANDBY" ohne Busfehler;

Fig. 6 ein schematischer Wirkschaltbildauszug zur Erläuterung der Nichtweckbarkeit aus dem SLEEP-Mode eines symmetrisch terminierten CANs über CAN<sub>L</sub> bei Unterbrechung von CAN<sub>H</sub>;

Fig. 7 ein schematischer Wirkschaltbildauszug zur Erläuterung der Weckbarkeit aus dem SLEEP-Mode eines asymmetrisch terminierten CANs über CAN<sub>L</sub> bei Unterbrechung von CAN<sub>H</sub>;

Fig. 8 ein Schema des Spannungsverlaufs auf der asymmetrisch abgeschlossenen Bus-Ader CAN<sub>L</sub> bei einem Weckvorgang gemäß Fig. 7;

Fig. 9 ein schematischer Wirkschaltbildauszug des IC im CAN-Netzverbund mit anderen derartigen IC in anderen Busteilnehmern in der Betriebsart "SLEEP" oder "STANDBY" mit Masseschluß an CAN<sub>L</sub>;

Fig. 10 ein schematischer Wirkschaltbildauszug des IC im CAN-Netzverbund mit anderen derartigen IC in anderen Busteilnehmern in der Betriebsart "SLEEP" oder "STANDBY" mit Versorgungsschluß an CAN<sub>H</sub>;

Fig. 11 eine schematische Illustration der von dem IC unmittelbar erkenn- und behandelbaren Busfehler;

Fig. 12a ein vereinfachtes Zeitdiagramm zur Veranschaulichung verschiedener Spannungsverläufe nach dem Anschalten an eine Betriebsstromquelle;

Fig. 12b ein vereinfachtes Blockschaltbild zur Veranschaulichung der betriebsartabhängig unterschiedlichen Auswertung des INTERRUPT-Signals des IC;

Fig. 13 ein Gesamtschaltbild zur groben Veranschaulichung der einfachen Struktur eines mit dem IC ausgestatteten, busvernetzt betreibbaren Geräts;

Fig. 14 eine schematische Illustration der monolithischen Verwirklichung des IC zusammen mit anderen Schaltkreisfunktionen im Sinne einer Large-Scale-Integration.

In der Fig. 1a ist der IC mit 100 bezeichnet und figurlich als 14-poliges SO-Bauelement versinnbildlicht. So kann er vorzugsweise auch praktisch ausgeführt sein. Gleichwohl kann es sich dabei aber auch um eine Anlage auf einem monolithischen Halbleiter-Chip handeln, die dort z. B. als Bestandteil einer umfanglicheren Halbleiterschaltung z. B. in der Art einer kompilierten Standardzelle deponiert ist. Der Rahmen der Erfindung umfaßt jedenfalls ohne Beschränkung auch alle dazwischenliegenden Verkörperungsformen; die Betrachtung als Bauteil soll insoweit nicht einschränken.

Der IC 100 ist zwischen die Bus-Adern CAN<sub>H</sub> und CAN<sub>L</sub> und das dem Microcontroller 21 des betrachteten elektronischen Gerätes zugeordnete Busprotokoll-Modul 22 geschaltet, entkoppelt letzteres also vom Bus CAN<sub>H</sub>/CAN<sub>L</sub> (Im folgenden bezeichnet CAN<sub>H</sub> bzw. CAN<sub>L</sub> die jeweilige Bus-Ader, CAN<sub>H</sub>/CAN<sub>L</sub> hingegen beide Adern, d. h. den Bus als physikalische Zweidrahtleitung).

Zu diesem Zweck sind CAN<sub>H</sub> und CAN<sub>L</sub> an entsprechende Anschlüsse 11 bzw. 12 des IC 100 geführt. Der IC 100 seinerseits ist über je einen Verbindungspfad 2 und 3 für zu sendende Daten TxD und zu empfangende Daten RxD mit dem Tx/Rx-Kommunikationsport des Busprotokoll-Moduls 22 verbunden. Der IC 100 steht ferner durch weitere Anschlüsse 8 und 9 über zwei Abschlußwiderstände 16 und 17 mit der entsprechenden Busader CAN<sub>H</sub> bzw. CAN<sub>L</sub> in Verbindung.

Des weiteren hat der IC 100 einen Eingang 7, der über einen Widerstand 18 mit logischem "H"-Potential, beispielsweise mit Versorgungspotential oder einem Potential, das nahe bei letzterem liegt, verbunden ist. Der Widerstand 18 ist andererseits über einen abgesetzten Schalter 25 mit Masse GND verbindbar.

Der IC 100 weist des weiteren wenigstens einen Ausgang 4 zur Abgabe eines Fehler- oder Unterbrechungssignals (ERROR bzw. INTERRUPT) für den Microcontroller 21 auf, der mit einem entsprechend belegten Eingang des I/O-Ports 23 und/oder einem entsprechenden Interrupt-Eingang 24 des Microcontrollers 21 verbunden ist, sowie zwei vice versa in entsprechender Weise aus dem I/O-Port 23 des Microcontrollers 21 angesteuert



erte Eingänge 5 und 6 für ein STANDBY-Signal (STB am Eingang 5) und ein TRANSMIT-ENABLE-Signal (EN am Eingang 6).

Für seine Stromversorgung weist der IC 100 einen Anschluß 13 gegen Masse GND auf, des weiteren einen Anschluß 14, an welchem das Speisepotential VBATT — vorzugsweise bezogen über eine Verpolungsschutzeinrichtung 19 aus einem übergeordneten Versorgungspotential UBATT — anliegt.

Der IC 100 weist des weiteren einen Steuerausgang 1 und einen Eingang 10 auf, letzterwelcher hier beispielhaft mit dem Ausgang 20.2 eines von dem betrachteten elektronischen Gerät mitumfaßten elektronischen Spannungsregler 20 verbunden ist, an dessen Eingang 20.1 ebenfalls das Speisepotential VBATT geführt ist.

Der Ausgang 20.2 des Reglers 20 versorgt im übrigen den Microcontroller 21 und das Busprotokoll-Modul 22 sowie die übrige, in Fig. 13 figürlich angedeutete Elektronik des den IC beinhaltenden elektronischen Geräts mit Betriebsstrom bei einer gegenüber VBATT um den Reglerabfall reduzierten Spannung VCC.

Der Regler 20 in Fig. 1a weist des weiteren einen Eingang 20.3 für ein (VOLTAGE REGULATOR) ENABLE- bzw. NOTINHIBIT- oder NOTENABLE- bzw. INHIBIT-Signal — im folgenden ENA/NINH bzw. NENA/INH abgekürzt — auf, der dort mit dem Steuerausgang 1 der IC 100 kommuniziert. Des weiteren weist der Regler 20 noch einen POWER ON RESET-Ausgang 20.4 — im folgenden PWROR abgekürzt auf, der über eine Leitung 29 mit einem Reset-Eingang 28 des Microcontrollers 21 kommuniziert.

Die IC-Umgebung gemäß Fig. 1b unterscheidet sich im wesentlichen nur dadurch, daß dort der Regler 20 einen Eingang 20.3 nicht aufweist und ein ENA/NINH-Signal der IC 100 über den Pfad 1 beispielsweise an andere Baugruppen des betrachteten Steuergerätes abgebar ist.

Zum nachfolgend besseren Verständnis des IC in einer so weit beschriebenen Geräteumgebung wird nun zuerst auf die innere Funktionsstruktur des IC 100 anhand Fig. 2 bis Fig. 8 näher eingegangen.

Gemäß Fig. 2 ist der IC 100 beispielsweise in vier Blöcke 110, 120, 130 und 140 aufgeteilt; die für die interne Stromversorgung erforderlichen Speisepfade dieser Blöcke sind in Fig. 2 aus Übersichtsgründen weggelassen. Die im folgenden beschriebene Verteilung von Detailfunktionen auf diese Blöcke ist nicht absolut zwingend und stellt keinerlei Beschränkung der Erfindung dar. Vielmehr hat sich diese Verteilung für eine erste Realisierung DER IC 100 als zweckmäßig erwiesen und wird in Abhängigkeit von unterschiedlichen Realisierungstechnologien innerhalb gewisser Grenzen variabel sein.

Eine wesentliche physikalische Funktion des IC 100 besteht in der elektrischen Isolation des Busprotokoll-Moduls 22 gegenüber CAN H und CAN L, auf welchen aus dem Applikationsfeld Surge- & Load Dump-Transienten auftreten können, welche das — je nach Fabrikationstechnologie mehr oder weniger empfindliche — Busprotokoll-Modul 22 (u. U. auch den gesamten Microcontroller 21) zerstören könnten. Zu diesem Zweck kann der IC 100 spezialisierte, hier nicht näher beschriebene Halbleitermittel umfassen, die vorzugsweise im Block 110 enthalten sein können, insbesondere Mittel zum Überspannungsschutz gegenüber der Speisepotentialschiene VBATT. Die Realisierung solcher Mittel sind dem Schaltkreisfachmann geläufig.

Der Block 110 umfaßt ferner die für die interne

Stromversorgung sämtlicher Teilfunktionen aus dem am Anschluß 14 des IC 100 anliegenden Speisepotential VBATT erforderlichen Mittel. Ein beispielhaft durch den Block 140 geschleiftes Steuer- bzw. Schaltpotential (zur Generation eines ENA/NINH-Signals für Steuerungszwecke im betrachteten Busteilnehmergerät oder für den Spannungsregler 20 beim Beispiel gemäß Fig. 1a) wird dem Block 140 über einen Pfad 151 zur Verfügung gestellt.

Des weiteren umfaßt der Block 110 Detektormittel, welche einen Einbruch des am Anschluß 14 anliegenden Speisepotentials VBATT bis zur Unterschreitung eines ersten Grenzwertes VL1 (z. B. 3,5 Volt bei einem Kraftfahrzeug) und vorzugsweise auch einen Einbruch des am Anschluß 10 anliegenden Reglerausgangspotentials VCC bis zur Unterschreitung eines zweiten Grenzwertes VL2 (z. B. 1 Volt bei einem Kraftfahrzeug) erfassen, des weiteren optional die Gleichzeitigkeit bzw. zeitliche Abfolge des Eintretens solcher Unterschreitungen. Die Signale besagter Diskriminatoren werden durch logische Mittel zu einem Powerfail-Signal verknüpft, das über einen Pfad 102 an den Block 140 übermittelbar ist und dessen Bedeutung weiter unten noch näher ausgeführt wird.

Des weiteren umfaßt hier beispielhaft der Block 110 noch eine Weck-Erkennungs-Logik (WAKEUP Logic) 111. An diese Logik sind zum einen der oben beschriebene Anschluß 7 und zum anderen die an den Anschlüssen 11 und 12 liegenden Busadern CAN H und CAN L geführt. Diese Weck-Logik ist so beschaffen, daß sie sowohl ein analoges Wecksignal bzw. eine Wecksignalfanke vom Anschluß 7 als auch eine Weckbotschaft vom Bus wie auch immer in ein standardisiertes WAKEUP-Signal umsetzen kann, das über den Pfad 103 an den Block 140 (zur Auswertung in 145) ausgegeben wird.

Der Block 120 umfaßt vorzugsweise alle für das Auslesen des Busses erforderlichen Lesemittel 121, d. h. solche zur differentiellen und eindrähtigen Signalerfassung, einschließlich sämtlicher Fehlerbehandlungs- und Logikmittel 122, die zum busfehlerabhängigen Wechsel der verschiedenen Lesearten (z. B. Zweidraht-, Eindraht gegen GND oder VCC, u. U. auch Eindraht gegen "Dead Wire" etc.) forderlich sind. Diese können vorzugsweise u. a. Bezugspegelvergleicher, Aderpegelvergleicher und/oder Vorzeichendiskriminatoren mit umfassen.

Der Block 120 kann so beschaffen sein, daß er zu einer fehlerresponsiven Einstellung und/oder Umkonfiguration und/oder Adaption seiner Empfangsmittel — unabhängig von den Sendemitteln und deren entsprechender fehlerresponsiven Einstellung und/oder Umkonfiguration und/oder Adaption — selbsttätig und/oder selbstständig in der Lage ist, d. h. absolute Betriebs- und Funktionsautonomie aufweist (Fullsupported Receiver).

Das gewonnene digitale Botschaftssignal RxD geben nachgeschaltete Logikmittel 122 sowohl an den Anschluß 3 des IC 100 als auch über einen internen Pfad 104 an das Fehlersignalisierungs-Modul 143 im Block 140 ab.

Der Block 130 beinhaltet alle mit dem Signalfußpfad zusammenhängenden Mittel, die bei einer Realisierung zweckmäßigerweise nicht dem Empfangsblock 120 zugeordnet werden und insoweit in weitestem Sinne den Sendemitteln im Signalfußpfad zugeordnet sind.

Dies hängt damit zusammen, daß sowohl die Empfangs- als auch die Sendemittel bevorzugt so ausgebildet und dimensioniert sind, daß sie — ohne externer Schutzmittel zu bedürfen — jeweils für sich autonom

fehlertolerant gegenüber allen busweit applikationsspezifisch möglichen Fehlerzuständen, d.h. durch solche nicht beschädigbar sind. Insoweit sind die außer den Weckmitteln 111 und den Empfangsmitteln 120 am Bus noch liegenden Funktionsblöcke 131 und 132 bzw. deren Mittel hier beispielhaft dem Sendeblock 130 zugeordnet, der — also nur insoweit — Sendemittel in weitestem Sinne enthält; in engem Sinne sind Sendemittel von 133 umfaßt (Die in Abhängigkeit von der jeweils gewählten Realisierungstechnologie des IC 100 vorzusehenden Designdetails für schadhafte Fehlertoleranz sind an sich bekannt).

Der Block 130 umfaßt den Funktionsblock "Abschlußumschaltmittel" 131 zur Um- und Hochohmigschaltung des Busabschlusses wie durch die Abschlußwiderstände 16 und 17 vorgegeben, einen Funktionsblock 132 "Busfehler-Erkennungsmittel" zur Diskrimination von Fehlerzuständen auf CAN<sub>H</sub>/CAN<sub>L</sub>, und zwar insbesondere auch Kurzschlüsse jeweils einer Busader nach Masse GND bzw. UBATT im Schlaf- bzw. Bereitschaftszustand (SLEEP/STANDBY), sowie Sendemittel in Form einer in obigem Sinne fehlertoleranten Endstufe 133, welche intern CAN<sub>H</sub>- und CAN<sub>L</sub>-Einzeltreiber enthält, die ausgangsseitig an die Anschlüsse 11 und 12 geführt sind.

Als wesentliche Elemente kann eine derartige Endstufe High- und Low-side-Schalter umfassen, deren Schaltausgänge über Koppeldioden an den Busadern liegen. Die Endstufe ist jedenfalls so ausgeführt, daß sie in Abhängigkeit von der Art eines auftretenden Busfehlers auf die jeweils noch bestmögliche Notkommunikationsweise eingestellt und/oder umkonfiguriert und/oder adaptiert werden kann (z. B. Wechsel auf Einaderbetrieb). Der Block 130 umfaßt auch erforderlichenfalls hierfür benötigte Mittel.

Optional kann die Endstufe ferner so ausgeführt sein, daß sie bei Auftreten eines Defekts bzw. Eigenfehlers des IC 100 vom Bus CAN<sub>H</sub>/CAN<sub>L</sub> automatisch freigeschaltet wird bzw. bleibt, etwa durch Sperrung ihres EN-Einganges. Eine solche Freischaltung kann von zwangsläufiger Art sein. Optional kann ferner insbesondere im Eigenfehlerfall auch die Stromversorgung der Endstufe automatisch abschaltbar ausgeführt sein, wodurch insbesondere bei Fehlern im Bereich der Endstufe, ihres Eingangssignalfades oder ihrer Zustandssteuerung ein Latchup des Bus-Netzes durch Fehlbestromung der Busadern vermieden wird. Die oben erwähnten Kopplungsdioden können in diesem Zusammenhang dann als Entkopplungsventile wirken.

Der Funktionsblock 132 steht mit dem Funktionsblock 131 in Verbindung, des weiteren mit dem Steuerblock 140. Er kommuniziert auch mit der Sendendstufe 133. Letztere weist einen An-/Abschalteingang (TRANSMIT-ENABLE) EN auf, der mit dem Anschluß 6 des IC 100 kommuniziert.

Die vorgenannte Möglichkeit einer Zwangsfreischaltung der Endstufe 133 vom Bus CAN<sub>H</sub>/CAN<sub>L</sub> kann z. B. so realisiert sein, daß der Eingang EN der Endstufe 133 im Falle eines Defekts verriegelbar ist, so daß sich das Sendesignal TxD auf den Bus nicht mehr auswirken kann. Eine solche Zwangsfreischaltung kann auch für den Fall vorgesehen sein, daß das Potential VBATT und/oder VCC unter einen vorbestimmten Schwellwert abfällt, wodurch eine unerwünschte inaktive Bürdelast am Bus vermieden wird.

Der Steuerblock 140 erfüllt ebenfalls mehrere Funktionen. Hierzu umfaßt er — als Mittel zur Initialisierung des Microcontrollers 21 — einen gesteuerten

Schalter oder ein Gatter 141 zur Abgabe am Anschluß 1 von 100 eines Abschalt- bzw. Einschalt-Signals ENA/NINH für den Spannungsregler 20, einen Funktionsblock 142 zur Erkennung und Einstellung der vom Microcontroller auferlegten Betriebsarten "Schlafen", "Bereitschaft", "Nur-Empfang" und "Normal" (entsprechend "Senden und Empfang") (SLEEP, STANDBY, RECEIVE ONLY, NORMAL) der Einrichtung, und ein Fehlersignalisierungs-Modul 143.

Letzteres besteht vorzugsweise aus einem Funktionsblock 144 zur Auswertung von Busfehlern in ein (BUS-)ERROR-INTERRUPT-Signal und einem Funktionsblock 145 zur Erzeugung eines WAKEUP-INTERRUPT-Signals in Abhängigkeit von einem Wecksignal und/oder eines POWER-FAIL-INTERRUPT-Signals als Folge eines Versorgungsmangelzustandes wie weiter unten näher erläutert. Wie ebenfalls weiter unten i.V. mit Fig. 12b erläutert enthält der Block 143 zwecks Generation dieser verschiedenen Signale beispielsweise wenigstens drei Flag-Flipflops für ein WAKEUP-, ein POWERFAIL und ein BUS ERROR Flag; diese Flags werden betriebsartabhängig als INTERRUPT ausgelesen.

Zur Erkennung der verschiedenen Betriebsarten weist der Funktionsblock 142 hier beispielhaft einen zwei Bit breiten Port auf, bestehend aus Eingang 5 für STB (STANDBY) und Eingang 6 für EN (TRANSMIT-ENABLE), wobei letzterer erwähnensmaßen mit dem gleich gekennzeichneten An-/Abschalteingang der Endstufe 133 verbunden ist. Die Erfindung ist selbstverständlich nicht auf die hier beispielhaft vier durch zwei logische Pegel binär selektierbare Betriebsarten des IC 100 beschränkt.

Der Funktionsblock 142 ist ferner mit dem Fehlersignalisierungs-Modul 143 verbunden, letzteres hier beispielhaft einen einzigen, an den Anschluß 4 des IC 100 geführten Ausgang ERROR/INTERRUPT — im folgenden auch abgekürzt ERR/INT — für ein Fehleranzeige- bzw. Unterbrechungssignal sowie einen Eingang aufweist, dem über den bereits erwähnten Pfad 104 das vom Block 120 ausgegebene digitale Botschaftssignal zuführbar ist. Durch eine Zuordnung zu verschiedenen Betriebszuständen können einem ERR/INT-Signal an Anschluß 4 unterschiedliche Bedeutungen zugewiesen werden.

Ohne Beschränkung der Allgemeinheit können auch wenigstens zwei designierte Ausgänge ERROR und INTERRUPT vorgesehen sein, deren ERROR- bzw. INTERRUPT-Signale dann nicht betriebsartabhängig interpretiert zu werden brauchen, sofern eine entsprechend größere Anzahl von Anschlüssen für den IC 100 tolerierbar ist. Die aufgrund der hier beispielhaften Begrenzung der Anschlußzahl auf insgesamt vierzehn somit erforderliche Uminterpretation des am Ausgang 4 abnehmbaren Signals wird weiter unten i.V. mit Fig. 12a und 12b noch erläutert.

Des weiteren umfaßt die Erfindung auch, daß im Block 143 das ERR/INT-Signal als Resultat einer logischen Verknüpfung beispielsweise eines internen ERROR-Ergebnissignals der Busfehler-Auswertungsmittel 144 und eines internen Ergebnissignals der Auswertungsmittel 145 für Weck- und/oder Fehlspannungseignisse gewonnen wird, beispielsweise hinsichtlich des Unterschreitens eines Grenzwertes für die Betriebsspannung VBATT des IC 100.

Die Funktion des so weit beschriebenen IC im nachfolgend zugrundegelegten Zusammenspiel mit den aus Fig. 1a ersichtlichen Komponenten ist folgende.





Vermöge vom Spannungsregler 20 mitumfaßter Mittel erzeugt dieser an seinem Ausgang 20.4 nach jedem Einschalten ein PWROR-Signal und gibt dies über die Verbindung 29 an einen Rücksetzeingang 28 des Microcontrollers 21 ab, um dessen ordnungsgemäße Initialisierung nach Aufbau seiner Speisespannung VCC sicherzustellen.

Da die Einschaltung des Spannungsreglers über ENA/NINH von Seiten des IC 100 ausgelöst wird, kann so durch Überwachung im IC 100 der Zeitspanne zwischen der den Regler 20 aktivierenden ENA/-NINH-Flanke und eines der EN- und STB-Bits für die Einstellung der Initialbetriebsart des IC 100 (also entsprechend ( $t_8 - t_4$ ) in Fig. 12a) eine Prüfung der Initialisierungsstrecke Regler-Microcontroller auf Fehlerfreiheit erfolgen.

Die an den Anschlüssen 5 (STANDBY/STB) und 6 (TRANSMIT ENABLE/EN) anliegenden Selektions-Bits selektieren eine der hier beispielhaft vier Betriebsarten SLEEP, STANDBY, RECEIVE ONLY, und NORMAL des IC 100. Diese Betriebsarten werden im Rahmen einer übergeordneten Bus-Management-Software zum Betrieb des Busnetzes verwaltet und explizit von der Applikations-Software des betreffenden elektronischen Gerätes, in welchem der betrachtete IC 100 sich befindet, initiiert.

In der Betriebsart SLEEP ist der Schalter bzw. das Gate 141 so aktiviert, daß das vom Steuerausgang 1 an den Steuereingang 20.3 des Spannungsreglers ausgegebene logische Signal ENA/NINH zur Abschaltung des Reglers 20 führt. Aus Stromersparnisgründen ist das logische Potential am Steuerausgang 1 in dieser Betriebsart beispielsweise "L". Infolge der Abschaltung des Reglers 20 sind der Microcontroller 21 und das Busprotokoll-Modul 22 ohne Speisespannung VCC und deshalb stromlos. Als unmittelbare Folge kann an/in den/ die beiden Eingänge/n 5 (STB) und 6 (EN) stationär nur das Potential Null anstehen bzw. kein Strom fließen, entsprechend also dem Selektionswort "LL" am I/O-Port 23 des Microcontroller 21 für die beiden Signale STB und EN in der Betriebsart SLEEP.

Am IC 100 liegt hierbei also nur die Speisespannung VBATT an, während die Spannung VCC am Anschluß 10 Null ist. Ein — minimaler — Stromverbrauch geschieht in diesem Zustand also nur durch den IC 100 von der Schiene VBATT aus; da VCC = Null, ist die gesamte VCC-versorgte Elektronik des betrachteten Steuergerätes stromlos.

In der Betriebsart SLEEP muß der IC 100 nur eine definierte Minimalaktivität auf CAN H/CAN L und/oder am Anschluß 7 quasi-statische Weck-Anforderungen z. B. von einem Schalter 25 erkennen, der aus Stromersparnisgründen hier als Arbeitskontakt nach Masse GND ausgebildet ist, sowie bei Bedarf das ENA/NINH-Signal generieren, kommt also mit 30 ... 500  $\mu$ A Versorgungsstrom aus.

Diese Betriebsart kommt somit für Steuergeräte in Frage, bei denen eine gewisse Zeit duldbar ist, die zwischen dem Aufbau des Potentials VCC und dem Anfachen der internen Clock-Frequenz und der Initialisierung des Watchdogs des Microcontrollers 21 verstreicht (Größenordnung 25 ms). Durch die unter solchen Betriebsbedingungen mit der IC 100 mögliche Minimierung des Stromverbrauchs eines batteriegestützten CAN-Bus-Netzes in Zeiten seiner Kommunikationsruhe wird die Verfügbarkeit des Netzes ganz beträchtlich erhöht.

Im Falle eines Weckens durch Aktivität auf

CAN H/CAN L wird eine solche Aktivität von der Weck-Logik 111 in 110 sensiert, was im Steuerungsblock 140 zur Ansteuerung des Schalters oder Gatters 141, damit zur Aktivierung des Spannungsreglers 20, damit zu Einschaltung von VCC, damit zur Aktivierung des Bus-Protokoll-Chips 21, des Clock-Oszillators des Microcontrollers 21 und seines hier nicht figürlich ausgeführten Watchdogs und ggfs. — über Anschluß 3 — zur Abgabe von Botschaftsdaten an den Rx-Eingang des Busprotokoll-Moduls 22 führt.

Im Falle eines lokalen Weckens durch den Schalter 25 wird durch dessen Betätigung der Eingang 7 auf "L" gesetzt, was vermittelt der Weck-Logik 111 und des Pfades 103 ebenfalls zur Ansteuerung des Schalters oder Gatters 141 und somit zum gleichen Weck-Ergebnis führt.

Die Betriebsart NORMAL kann aus der Betriebsart SLEEP durch Sensierung einer WAKEUP-Anforderung entweder über den Bus — also vermittelt der Weck-Erkennungslogik 111 — oder als lokale Anforderung durch den Schalter 25 erfolgen.

Die Betriebsart STANDBY ist dadurch gekennzeichnet, daß das vom IC 100 an den Spannungsregler 20 abgegebene ENA/NINH-Signal letzteren einschaltet bzw. eingeschaltet hält. Folglich ist dadurch die Speisespannung VCC auch in der Betriebsart STANDBY präsent.

Infolgedessen wird in der Betriebsart STANDBY sowohl das Busprotokoll-Modul 22 als auch die übrige Elektronik des betrachteten Geräts in Betrieb gehalten. Infolgedessen kann vom Microcontroller 21 an den Eingang 5 des IC 100 der von "L" abweichende STANDBY-Signalpegel "H" ausgegeben werden.

Die Betriebsart STANDBY kommt somit für Geräte bzw. Fälle in Frage, bei denen die gewisse, im Falle der Betriebsart SLEEP duldbare Zeit (Größenordnung 25 ms) nicht verloren werden darf, bis der Bus-Protokoll-Chip operationsfähig wird. Praktische Beispiele hierfür wären z. B. die Zylinderneutralfahrt an einer Druckmaschine oder die Infrarot-Fernbedienung der Türverriegelung eines Kraftfahrzeugs, welche zwecks Vermeidung von Ansprechhemmungen und/oder Botschaftsverlusten eine Empfangsbereitschaft binnen kürzester Zeit verlangen.

Die Aktivierung des IC 100 in die Betriebsarten STANDBY, RECEIVE ONLY und NORMAL ist insgesamt letztlich auf dreierlei Weisen bewirkbar: Vom Microcontroller 21 aus über 4, 5 und 6, über den Bus CAN H, CAN L und durch lokale Weck-Anforderung etwa durch einen Schaltkontakt.

Beim Umfeld gemäß Fig. 1a ist in allen drei Fällen wesentlich, daß bezüglich des Aufbaues des Einschaltsignals ENA/NINH beim Wecken die beiden Steuerbits EN und STB zunächst den logischen Zustand "L" haben, während für das Aufrechterhalten des Einschaltsignals ENA/NINH eines dieser Bits den logischen Pegel "L" verlassen haben, d. h. "H" sein muß. Die Bereitstellung des Einschaltsignals ENA/NINH ist also in diesem Falle in eine Initialisierungsphase unter Kontrolle durch den IC 100 (solange der Microcontroller 21 noch nicht vollständig stromversorgt bzw. fertig initialisiert ist) und eine Haltephase unter Kontrolle durch den Microcontroller unterteilt.

Aus diesem Verständnis folgt jenes der Funktionen und Anwendungsmöglichkeiten des IC 100 im abgewandelten Geräteumfeld gemäß Fig. 1b von selbst. Jene Situation betrifft eine Applikation, in dem der Microcontroller 21 nicht abgeschaltet werden darf, weil er z. B. in

einem Lowpower- oder Shutdown-Mode Überwachungsfunktionen bei — zwecks Stromersparnis — reduzierter Taktfrequenz und oder Aktivität zyklisch erfüllen muß, aber mangels Duldbarkeit eines auch nur geringen Verzugs lokal sehr schnell hochfahrbar sein muß. Der Regler 20 ist deshalb hier nicht abschaltbar. In einem solchen Falle kann das zu ENA/NINH komplementäre Abschaltsignal NENA/INH bedarfsweise zur Abschaltung von in der Betriebsart SLEEP überwachungsunrelevanten Schaltungsbereichen des betrachteten Steuergerätes herangezogen werden, wie hier durch den Weiterleitungspfeil an 1 versinnbildlicht. Es versteht sich, daß auch durch diese abgewandelte Art der Energieeinsparung vermittels des IC 100 in einem batteriegestützten CAN-Netz dessen Verfügbarkeit beträchtlich erhöht werden kann.

Anhand Fig. 3a bis Fig. 7 wird nunmehr die Wirkungsweise des Funktionsblocks 131 im Hinblick auf die an CAN H und CAN L angeschalteten Abschlußwiderstände 16 und 17 erläutert. Dabei veranschaulichen Fig. 3a und Fig. 4 die Abschlußbeschaltung CAN H und CAN L im normalen, aktiven Betriebszustand (Senden und Empfangen) ohne Vorliegen eines Busfehlers.

Gemäß Fig. 3a enthält der Funktionsblock 131 u. a. einen Schalter  $S_1$ , der den Anschlußpunkt 8 mit Masse GND verbinden und dadurch CAN H über den externen Abschlußwiderstand 16 an Masse schalten kann, einen Schalter  $S_2$ , der den Anschlußpunkt 9 mit dem geregelten Speisepotential VCC verbinden und dadurch CAN L über den externen Abschlußwiderstand 17 an VCC anschalten kann, sowie wenigstens einen weiteren Schalter  $S_3$ , der CAN L über einen internen Widerstand 17' mit dem höheren Speisepotential VBATT verbinden kann. Dabei sind der Schalter  $S_1$  durch eine Stromquelle 26 mit Einprägstrom  $I_{OL}$  und der Schalter  $S_3$  durch eine Stromquelle 27 mit Einprägstrom  $I_{OH}$  überbrückt. Die Ströme  $I_{OH}$  und  $I_{OL}$  sind sehr gering und können einheitlich in der Größenordnung von z. B. 1 ... 20  $\mu A$  liegen.

Ohne Beschränkung der Allgemeinheit können die Stromquellen auch durch hochohmige Widerstände zwischen z. B. 50 ... 250  $k\Omega$  ersetzt sein, wie in Fig. 3b veranschaulicht.

Die Abschlußwiderstände 16 und 17 sind gleich und werden in Abhängigkeit von der vorbekannten Anzahl der Bus-Teilnehmer festgelegt. Normalerweise können sie z. B.  $560 \Omega \pm 5\%$  bei einem größeren Bus-Netz und maximal 15  $k\Omega \pm 5\%$  bei einem kleinen Busnetz aufweisen. Die Niederohmigkeit in größeren Busnetzen folgt einerseits aus der höheren kapazitiven Bürde größerer Netze und andererseits aus der Forderung ausreichender Unterdrückung unerwünschter Einstreuungen statischer und elektromagnetischer Art in einem räumlich weitverzweigten Busnetzwerk. Der vorzugsweise in der IC 100 integrierte interne Widerstand 17' weist in einem Busnetz, das für rund 20 Teilnehmer konzipiert ist, einen Wert in der Größenordnung von 12  $k\Omega$  auf, basierend auf einem Widerstand 17 in der Größenordnung von 600  $\Omega$  für Normalabschluß. Näheres zur Dimensionierung siehe Fig. 6 und Fig. 7 und zugehöriger Beschrieb. In der Praxis kann ein ON-Widerstand der Schalter  $S_1$  bis  $S_3$  bis zu 200  $\Omega$  tolerabel sein.

In der Betriebsart NORMAL (Senden und Empfang) sind die Schalter  $S_1$  und  $S_2$  geschlossen,  $S_3$  hingegen offen, d. h. CAN L liegt über den Widerstand 17 an VCC und CAN H liegt über den Widerstand 16 an Masse GND. So lange kein Busfehler vorliegt, kann der Einfluß der Ströme  $I_{OH}$  und  $I_{OL}$  vernachlässigt werden.

Insoweit veranschaulicht Fig. 4 nur die wesentlichen Teile eines CANs mit beispielhaft drei busvernetzten Geräten A, B und C, d. h. das durch entsprechende Stellung der Schalter  $S_1$  bis  $S_3$  dabei wirksame Netzschaltbild im Betriebszustand NORMAL. Es wirken also jeweils alle externen Abschlußwiderstände 16 und 17 der Busteilnehmer A bis C an CAN H bzw. CAN L parallel.

Hinsichtlich Fig. 3a sind in den Betriebsarten SLEEP und STANDBY die Schalter  $S_1$  und  $S_3$  geschlossen,  $S_2$  hingegen offen, d. h. CAN L liegt nunmehr über den höheren internen Widerstand 17' am höheren Potential VBATT und CAN H liegt über den Widerstand 16 an Masse GND. So lange kein Busfehler vorliegt, kann der Einfluß der Ströme  $I_{OH}$  und  $I_{OL}$  auch hier vernachlässigt werden.

In entsprechender Weise veranschaulicht Fig. 5 nur die wesentlichen Teile desselben CANs im Betriebszustand SLEEP oder STANDBY, d. h. das durch entsprechende Stellung der Schalter  $S_1$  bis  $S_3$  dabei wirksame Netzschaltbild. Es wirken also jeweils die externen Abschlußwiderstände 16 und die internen Abschlußwiderstände 17' der Busteilnehmer A bis C an CAN H bzw. CAN L parallel.

Es liegt also in den Betriebsarten SLEEP und STANDBY in allen am Netz liegenden Geräten ein asymmetrischer Busabschluß vor, indem sich zum einen die Werte der Widerstände 16 und 17' je nach Anzahl der Busteilnehmer etwa um einen dieser Anzahl entsprechenden Faktor unterscheiden und zum anderen die Widerstände 17' anders als die Widerstände 17 nicht an VCC als Bezugspotential, sondern an der höheren Speisepotential VBATT liegen. Durch diese Maßnahme wird die Weckfähigkeit des CANs über CAN L auch noch dann sichergestellt, wenn eine Unterbrechung von CAN H vorliegt, wie nachfolgend anhand Fig. 6 bis Fig. 8 erläutert.

In Fig. 6 und 7 versinnbildlicht der im Gerät A symbolisierte Schalter 25' den elektronischen Schalter, der die Ader CAN L im Aktivierungsfalle von ihrem hohen rezessiven Pegel auf den nur wenig über Masse GND liegenden aktiven Pegel des CAN L schaltet. Bezüglich der Pegelverhältnisse wirkt der Schalter 25' also nicht nur ähnlich wie der bereits erwähnte Schalter 25 nach Masse GND am lokalen Weckeingang 7 der IC 100. Letztlich wird er innerhalb der IC 100 auch wirksam infolge einer Aktivierung eines externen, lokalen Weckschalters 25.

Gemäß Fig. 6 sind in der Betriebsart SLEEP die Spannungsregler 20 in den Busteilnehmern A bis n abgeschaltet, wodurch VCC als Terminierungspotential ausfällt, weil infolge Fehlens von VCC alle VCC-Schienen geräteintern virtuell an Masse GND liegen. Wäre hierbei CAN L durch Widerstände 17' mit einem Wert entsprechend dem der Widerstände 17 und 16 gegen VCC — im SLEEP-Zustand also virtuell gegen Masse GND — terminiert, wäre beispielsweise bei unterbrochener Busader CAN H ein Wecken über die Busader CAN L nicht möglich.

Ein Widerstand 17 mit dem Wert R — als Weckquellwiderstand  $R_Q$  — könnte vom Potential VCC im weckenden Busteilnehmer A aus die Bus-Ader CAN L gegen den Gesamtlastwiderstand von  $R_L = R/(n-1)$  (also z. B.  $1/20 R$  aufgrund 20 parallel wirkender Widerstände 17 desselben Wertes R in einem Busnetz mit 21 Teilnehmern) an Masse nur um einen kleinen Bruchteil von VCC auf ein Potential im Bereich von 100 ... 200 mV anheben, was nicht ausreichte, um eine solche Weckbotschaft störsicher zu lesen. Diese Problematik wächst mit

der Zahl der Netzteilnehmer und parasitären Masseffsets (durch Stromschleifen) z. B. längs ausgedehnten Anlagen oder Fahrzeugen.

Die Maßnahme gemäß Fig. 7 schafft hier Abhilfe. Der Widerstand 17' weist hier einen erheblich größeren Wert auf, der etwa einem Vielfachen entsprechend der erwartbaren Anzahl  $n$  von Geräten am Bus entspricht (also z. B. ca. 12 k $\Omega$ , wenn der Widerstand 17 ca. 600  $\Omega$  in einem Busnetz mit etwa 20 Teilnehmern entspricht). Das weckende Gerät A "sieht" folglich den insgesamt größeren Lastwiderstand  $R_L' = R/(n-1)$ .

Außerdem liegt dieser Widerstand 17' nicht an dem im Betriebszustand SLEEP verschwindenden Potential VCC (normalerweise ca. 5 Volt), sondern — vermittelt  $S_3$  anschaltbar — an dem wesentlich höheren, auch in der Betriebsart SLEEP verfügbaren Speisepotential VBATT (beispielsweise ca. 12 Volt).

Durch diese Maßnahme wechselt also die Source-Funktion des in Fig. 6 weckenden Gerätes A über in eine Source-Funktion der Vielschaft aller zu weckenden Geräte B bis  $n$  am Bus, während dem weckenden Gerät A diesbezüglich eine Sink-Funktion verbleibt.

Der Spannungsverlauf auf der Ader CAN L des so im SLEEP-Zustand asymmetrisch abgeschlossenen CANs ab dem Beginn zur Zeit  $t_1$  eines Weckvorganges über diese Ader ist in Fig. 8 veranschaulicht. Initial hat der Spannungshub auf CAN L einen Wert  $V_{CAN L}$  zwischen VCC und VBATT. Ausgelöst durch die (bei diesem großen Spannungshub störfrei erkennbare) Weckbotschaft über CAN L erzeugt in jedem der am Bus liegenden Teilnehmer-Geräte A bis  $n$  der IC 100 das ENA/NINH-Signal, welches einerseits über die bereits erwähnten Funktionsblöcke 111 und 140 samt Schalter bzw. Gatter 141 alle Spannungsregler 20 in diesen Geräten einschaltet und damit VCC in jedem Gerät verfügbar macht.

Andererseits wird bei Verfügbarkeit von VCC mittels des Schalters  $S_3$  die Verbindung zwischen CAN L und dem Speisepotential VBATT über den hochohmigen Abschlußwiderstand 17' aufgetrennt und statt dessen CAN L vermittelt  $S_2$  durch den normalen Abschlußwiderstand 17 mit dem niedrigeren Speisepotential VCC verbunden. Es ist also ersichtlich, daß zu einem Zeitpunkt  $t_2$  der Abfall des Spannungshubes am Bus über Masse GND auf einen stationären Wert  $V_{CAN Lstat}$  abgeschlossen ist, wobei die Zeitspanne ( $t_2 - t_1$ ) im wesentlichen der Über-Alles-Response-Zeit des IC 100 und des Reglers 20 auf ein Wecksignal ist.

An dieser Stelle sei angemerkt, daß innerhalb eines Busnetzes einzelne Busteilnehmer durchaus in der Betriebsart STANDBY und andere im SLEEP-Zustand verharren können. Ein Wecken anderer Busteilnehmer könnte hierbei auch durch ein in der Betriebsart STANDBY befindliches Gerät erfolgen, wenn hierfür im Sinne des symbolischen Schalters 25' der Low-side-Schalter der Endstufe 133 aktivierbar ist.

Ein Beispiel für die Anwendung der Betriebsart STANDBY ist z. B. der (wartende) Negativeinzug eines Entwicklungsautomaten oder der Infrarotempfangsteil einer Schließanlage eines Fahrzeugs, der ununterbrochen auf das Eintreffen des Filmzulaufs bzw. codierten Entriegelungssignals warten muß. In diesem Zustand ist bei einem solchen Gerät der Regler 20 eingeschaltet, VCC folglich präsent, so daß der Zeitverbrauch ( $t_2 - t_1$ ) bis zu einer Response über den Bus größtenteils entfällt.

Ohne Beschränkung der Allgemeinheit kann der Funktionsblock 131 auch ein Wirkschema gemäß Fig. 3b aufweisen; in diesem Falle wirken die Wider-

stände 17 und 17' jeweils in Serie. Der Widerstand 17' wäre insoweit am Anschluß 9 des IC 100 wirksam. Grundsätzliches ändert sich dadurch an der Netzbeurteilung gemäß Fig. 4 bis 11 jedoch nicht.

Des weiteren ist in Fig. 3b veranschaulicht, daß der mit der Stromquelle 26 in Fig. 3a korrespondierende Widerstand 26' gleichwohl mit Masse GND auch über einen besonderen Schalter  $S_{OT}$  freischaltbar verbunden sein kann, um beispielsweise i.Z. mit der automatischen Anpassung der Pegelkomparation der Empfangsmittel 120 und/oder der Sendeendstufe 133 im Falle eines Busfehlers oder bei externen Diagnosemessungen am Bus eine Testfunktion zu ermöglichen. Diese Wirkung könnte bei einer Lösung gemäß Fig. 3a auch durch eine Abschnürsteuerung der Stromquelle 26 realisiert werden.

Auf der Basis des Wirkschaltbildes gemäß Fig. 3a veranschaulicht nun Fig. 9 die Verhältnisse im weiten Netzverbund bei Kurzschluß der Bus-Ader CAN L nach Masse GND in der Betriebsart "SLEEP" oder "STANDBY".

Bei einem Widerstand 17' von z. B. 12 k $\Omega$  träte in diesem Fall in einem beispielhaft 20 Teilnehmer umfassenden Netz busweit ein resultierender Leckwiderstand von 600  $\Omega$  zwischen dem internen Geräte-Speisepotential VBATT von z. B. 12 Volt und Masse GND auf, d. h. busweit ein Leckstrom von 20 mA, der zu einer raschen Entladung einer Batterie als Versorgungsquelle führen könnte.

Im Falle eines solchen Kurzschlusses wird dieser deshalb vom oben erwähnten Funktionsblock 132 (Fehlererkennungs-Modul) des IC 100 in jedem einzelnen Busteilnehmer erkannt, was im Funktionsblock 131 bewirkt, daß jeweils der Schalter  $S_2$  öffnet und der Schalter  $S_3$  schließt, wodurch die Stromquellen 27 wirksam werden. Deren verhältnismäßig geringer Strom von z. B. nur 5  $\mu$ A ergibt bei 20 Geräten busweit nur 0,1 mA Leckstrom. Dieser Strom ist klein genug, daß er in der natürlichen Selbstentladungsrate beispielsweise einer Notstrom- oder Starterbatterie völlig untergeht.

Entsprechend veranschaulicht Fig. 10 die Verhältnisse im Netzverbund bei Kurzschluß der Bus-Ader CAN H mit einer Bordnetzschiene an UBATT in der Betriebsart "SLEEP" oder "STANDBY" (Versorgungsbordschluß).

Bei einem Widerstand 16 von z. B. 600  $\Omega$  träte in diesem Fall in einem beispielhaft 20 Teilnehmer umfassenden Netz busweit ein resultierender Leckwiderstand von 30  $\Omega$  zwischen z. B. der Bordnetzklammer 30 mit ca. 13 Volt und Masse GND auf. Dies hätte busweit einen Gesamtleckstrom von 430 mA zur Folge, der zu einem noch rascheren Abbau der beispielhaft zum Starten der Brennkraftmaschine benötigten Batterieladung führte.

Tritt ein solcher Kurzschluß auf, wird er von dem oben erwähnten Fehlererkennungs-Modul 132 des IC 100 in jedem einzelnen Busteilnehmer erkannt. Dies bewirkt im Funktionsblock 131, daß jeweils der Schalter  $S_1$  geöffnet wird, wodurch die Stromquellen 26 wirksam werden. Deren verhältnismäßig geringer Strom von z. B. nur 5  $\mu$ A ergibt bei 20 Geräten busweit auch nur vernachlässigbare 0,1 mA Leckstrom.

Bei Vorliegen eines Kurzschlusses von CAN H nach UBATT oder GND oder CAN L nach Masse GND oder UBATT besteht bezüglich der Umschaltung des Busabschlusses mittels der Schalter  $S_1$  bis  $S_3$  kein grundsätzlicher Unterschied in Abhängigkeit davon, ob der betreffend Kurzschluß bereits vorliegt, wenn der Microcontroller 21 die SLEEP- oder STANDBY-Zustandsinstruktion an den IC 100 überträgt, oder ob der



Kurzschluß erst auftritt nachdem zuvor der SLEEP- oder STANDBY-Betriebszustand ordnungsgemäß erreicht worden ist.

Die festverdrahtete Logik des IC 100 bewirkt, daß der die kurzschlußfehlerhafte Busader überwachende Pegeldiskriminator oder Komparator innerhalb des Funktionsblocks 132 verriegelt wird und als unmittelbare Folge dieses Schaltvorganges der (lokale) Abschluß an eben diese Busader auf "Kurzschluß erkannt" umgeschaltet wird, d. h. die Stromquelle 26 oder 27 bzw. der Widerstand 26' oder 27' wirksam geschaltet wird.

Sobald der Kurzschluß verschwindet, zieht der entsprechende, sehr geringe Eingangsstrom (in Fig. 3a z. B. an 8 (RTH) oder 12 (CAN\_L) im SLEEP- oder STANDBY-Betriebszustand die betreffende Bus-Ader auf ein Potential nahe dem in diesen Betriebsarten normalen Potential. Als Folge wird der Bus-Abschluß auf den im SLEEP- und STANDBY-Betriebszustand normalen umgeschaltet (16 und 17' wirksam).

Zur Übersicht sind in Fig. 11 alle von dem IC 100 insgesamt erkennbaren Einfach-Fehlerzustände im Busnetz zusammengestellt, wobei die geklammerten Ziffern die einzelnen Busfehler gemäß nachfolgender Liste repräsentieren:

- (1) Unterbrechung von CAN\_L
- (2) Unterbrechung von CAN\_H
- (3) Versorgungsschluß an CAN\_L
- (4) Masseschluß von CAN\_H
- (5) Masseschluß von CAN\_L
- (6) Versorgungsschluß an CAN\_H
- (7) Kurzschluß zwischen CAN\_H und CAN\_L

Beim Busfehler

- (8) Paarige Unterbrechung von CAN\_H und CAN\_L

handelt es sich in Strenge um einen Doppelfehler, der deshalb unmittelbar eindeutig nur von dem IC 100 im Gerät n erkannt werden kann (z. B. zwecks Failsafe-Auslösung der von diesem Gerät normalerweise zu steuernden Funktion).

Wesentlich ist, daß die im IC 100 festverdrahtete Busfehler-Response-Logik in jedem einzelnen Busteilnehmer — mit der busweiten Wirkung einer verteilten Fehlerbehandlungsintelligenz im Netz — die Realisierung von Fehler-Responsezeiten in der Größenordnung von einer (Bus-)Bitzeit und darunter ermöglicht, so daß Botschaftsverluste im Zuge einer busfehlerbedingten Umkonfiguration der Sende- und Empfangskomponenten von 100 weitgehend oder vollständig vermieden werden können. Dies ist ein großer Vorzug gegenüber allen auf Softwarebasis zentral ausgerichteten Busmasterlösungen.

In den IC 100 mitimplementiert sein kann ferner die schon erwähnte Versorgungsüberwachung, deren Zweck und Funktion speziell unter Zugrundelegung eines Umfeldes gemäß Fig. 1a sich wie folgt erklären.

Durch die Abschaltbarkeit des Spannungsreglers 20 im SLEEP-Zustand wird der Microcontroller 21 regelmäßig stromlos. Deshalb muß eine Initialisierung aus dem stromlosen Zustand vorgesehen werden, sobald der Regler über seinen PWROR-Ausgang 20.4 den Microcontroller 21 zurückgesetzt hat.

Im Falle des Beispiels eines Kraftfahrzeugs muß der Microcontroller in die Lage versetzt werden, bei jeder neuen Inbetriebnahme auf inkrementale Daten, die zu-

mindest während des letzten Betriebs des Kraftfahrzeugs Gültigkeit hatten und Einstellzuständen entsprechen, wie sie der Benutzer vor der erneuten Inbetriebnahme vorfindet, zurückzugreifen, also beispielsweise auf Daten, welche die Einstellung von verstellbaren Sitzen, Rückspiegeln, etc. betreffen.

Dies wird typischerweise durch Abspeicherung der Daten in einem EEPROM des Microcontrollers 21 und deren Ladung ins RAM des letzteren beim Beginn einer jeden Inbetriebnahme geleistet. Auf diese Weise werden Anschlagsläufe zur Feststellung der aktuellen Einstellposition in Bezug auf die Endanschläge verstellbarer Elemente und der hierfür unumgängliche und lästige Zeitverbrauch überflüssig.

Im Falle, daß das den Microcontroller 21 enthaltende Gerät aus einem Bussystem entfernt wird, um es z. B. zu ersetzen oder in ein anderes Busnetz einzusetzen, tritt in diesem Zusammenhang das Problem auf, daß der Microcontroller allein für sich genommen eine solche Handhabung des ihn enthaltenden Geräts als (eigentliche) Ursache für eine zuvor eingetretene Stromlosigkeit nicht erfassen kann.

Aus diesem Grund würde er — nach der Einrüstung des betreffenden Gerätes in ein neues Bus-Netz — auch im neuen Bus-Netz die zuvor eingelernten und in seinem EEPROM aufbewahrten Daten weiterhin als gültige betrachten und verwenden, was bei der Inbetriebnahme im neuen Bus-Netz zu Fehlsteuerungen der von dem betrachteten Gerät zu steuernden Elemente führte.

Dieser Problematik abzuweichen ist Aufgabe der in den IC 100 zweckmäßigerweise mitintegrierten Versorgungsüberwachung und insbesondere des aus der Diskrimination der Spannungspegel VBATT und VCC im Funktionsblock 110 abgeleitete POWERFAIL-Kriteriums, welches über den Pfad 102 in den Steuerungsblock 140 gelangt. Dabei wird ausgenutzt, daß der IC 100 seine elektrische Versorgung aus dem dem Regler 20 vorgelagerten, höheren Potential VBATT bezieht, welches bei Unterbrechung der Versorgung aus dem übergeordneten Potential UBATT — bei einem Fahrzeug beispielsweise durch Unterbrechung der Stromzufuhr von Klemme 30 — schneller zusammenbricht als das durch Sieb- und Stützkapazitäten 161 wie aus Fig. 13 ersichtlich für gewisse Mindestzeitspannen zu haltende Potential VCC.

Zu diesem Zweck werden im Funktionsblock 110 Spannungspegelüberwachungen beispielhaft gemäß nachfolgendem Schema vorgenommen und ausgewertet; dabei sind ohne Beschränkung der Allgemeinheit beispielhaft wieder die Situation in einem Kraftfahrzeug und dabei beispielhaft auftretende Spannungen zugrundegelegt:

Ist z. B. VBATT > 6V und VCC = 5V, darf weder der Microcontroller 21 noch der IC 100 einen Powerfail-Zustand erkennen.

Der Funktionsblock 110 diskriminiert jedenfalls VBATT mit normalerweise 12 Volt gegen einen Grenzwert VL1 von beispielsweise 3,5 Volt. Für den Fall, daß der Microcontroller 21 bzw. dessen Watchdog keine eigene Powerfail-Erkennung aufweist, diskriminiert er des weiteren VCC mit normalerweise 5V gegen einen zweiten Grenzwert VL2 von beispielsweise 1V (Grenzspannung für dynamische Datenhalbarkeit im RAM des Microcontrollers 21).

Im Rahmen der Erfindung soll unerheblich sein, ob der Microcontroller über eine eigene Powerfail-Erkennung für VCC verfügt. Denkbar ist auch, daß beispielsweise eine hier nicht näher beschriebene, separate

Watchdog-Funktion für den Microcontroller eine entsprechende VCC-Diskriminierung und -Auswertung leistet, soweit die von der Einrichtung vorteilhaft mitumfaßte nicht oder anders genutzt wird.

Im Rahmen der Erfindung kann unabhängig davon, ob der Microcontroller 21 sich noch auf eigene Hilfs-schaltungen wie z. B. eine watchdogarmierte Versorgungsspannungsüberwachung stützt, an 4 ein POWER-FAIL-INTERRUPT-Signal ausgegeben werden, das entweder nur auf eine Diskrimination von VBATT oder auf eine kombinierte Diskrimination von VBATT und VCC zurückgeht. Wenn nachfolgend also von einem Powerfail-Flag des IC 100 die Rede ist, bedeutet dies nicht, daß der Microcontroller 21 keine eigene VCC-Überwachung hat oder über keine Hilfsschaltkreise hierfür verfügt.

Beispielsweise anläßlich eines Motorstarts wird bei  $VBATT > VL1$  und  $VCC > VL2$  weder für VBATT noch für VCC auf Powerfail erkannt, und folglich an 4 auch kein entsprechendes Signal ausgegeben. Der Microcontroller 21 erkennt folglich bei seinem Neustart nach Reset am Fehlen (Nichtgesetzsein) des Powerfail-Flags im Funktionsblock 145 bzw. 143 bezüglich VCC und/oder VBATT, daß weder ein Neueinlernen noch ein Update von inkrementalen Daten aus dem eigenen EEPROM erforderlich ist, arbeitet also mit den aktuell in seinem RAM befindlichen weiter. Das Powerfail-Flag wird hierbei beispielsweise gemäß Fig. 12a im Zeitraum zwischen  $t_8$  und  $t_9$  gelesen und dann, wenn es vor dem Übergang des vom Microcontroller 21 ausgegebenen Signals EN von "L" nach "H" gesetzt ist, in ein INTERRUPT-Signal an 4 ausgewertet, welches vom Microcontroller 21 als wahr erkannt und als POWERFAIL-INTERRUPT interpretiert wird.

Bei einem erschwerten Motorstart im Winter kann die Bordnetzspannung UBATT jedoch von der anfänglichen Nennspannung für kurze Zeit sehr weit, nämlich unter  $VL1$  abfallen, mit der Folge, daß auch VBATT entsprechend weit abfällt, während VCC nach initialer Bestromung des Reglers 20 vermöge einer letzterem nachgeordneten Stützkapazität 161 noch oberhalb  $VL2$  gehalten wird. Im Block 110 wird deshalb zwar der Versorgungszustand  $VBATT < VL1$  erkannt, zugleich aber der Versorgungszustand  $VCC > VL2$ , was im Funktionsblock 145 bzw. 143 das Setzen des Powerfail-Flags verhindert (Inhibit).

Aus dem Nichtgesetzsein des Powerfail-Flags folgt die Nichtausgabe eines INTERRUPT-Signals an 4 (aus Powerfail für VBATT). Der Microcontroller 21 erkennt aus dem Fehlen dieses Interrupts, daß weder ein Neueinlernen noch ein Update inkrementeller Daten aus dem eigenen EEPROM erforderlich ist und arbeitet mit den in seinem RAM aktuell befindlichen Daten weiter.

Hingegen kann im Falle eines normal abgelaufenen Motorstarts, jedoch (z. B. kurzzeitigen) Zusammenbruchs des Speisepotentials VCC aus welchen Gründen auch immer die Situation  $VBATT > VL1$ ,  $VCC < VL2$  auftreten. Diesbezüglich ist eine Auswertung wie folgt möglich. Logische Mittel im Funktionsblock 145 bzw. 143 bewirken, daß in diesem Falle ein Setzen des Powerfail-Flags in 143 und somit die Ausgabe eines INTERRUPTS an 4 unterbleibt.

Verfügt der Microcontroller 21 über eine eigene VCC-Überwachung oder eine solche ihm besorgende Hilfsmittel, d. h. über ein eigenes Powerfail-Flag, kann er am Fehlen des externen POWERFAIL-INTERRUPTS an 4 von 100 und dem Gesetzsein seines eigenen VCC-Powerfail-Flags erkennen, daß ein Neueinler-

nen von inkrementellen Daten nicht erforderlich ist, jedoch die Daten, die aktuell gelten sollen, zuerst aus seinem EEPROM in sein RAM geladen werden müssen.

Der letzte Fall des vollständigen Zusammenbruchs des Bordnetzes beispielsweise anläßlich langanhaltender Startversuche — mit der Wirkung, daß auch VCC zusammenbricht — wird gleich behandelt wie der Ausbau der Batterie oder eine Unterbrechung der Stromversorgung von Klemme 30 zum betrachteten Busteilnehmer, d. h. wie die Entfernung eines entsprechenden Gerätes aus seinem Bus-Netz.

In einem solchen Falle wird  $VBATT < VL1 = 3,5$  Volt und  $VCC < VL2 = 1$  Volt. Diese beiden Bedingungen haben ein Setzen des Powerfail-Flags im Funktionsblock 145 bzw. 143 zur Folge und folglich die Ausgabe eines POWERFAIL-INTERRUPT-Signals an 4 von 100. Außerdem wird im Microcontroller auch dessen Powerfail-Flag bezüglich VCC gesetzt. Diesen Zustand und das POWERFAIL-INTERRUPT-Signal an 4 wertet der Microcontroller 21 als Erfolgtsein einer Abtrennung und eines Wiederanschlusses an die dauerstromversorgte Klemme 30 aus. Dies bewirkt, daß er beim Neustart Endanschläge und relative Lage(n) des von ihm gesteuerten Elements einlernt und in sein EEPROM abspeichert.

Da speziell im SLEEP-Zustand  $VCC = 0$  Volt und in bzw. aus diesem Zustand immer ein Powerfail bezüglich VCC vom Microcontroller erkannt werden kann, kommt es bezüglich der Auswertung, ob das den Microcontroller 21 und die erfindungsgemäße Einrichtung enthaltende elektronische Gerät im SLEEP-Zustand von seiner Stromversorgung getrennt wurde, im wesentlichen auf die Powerfail-Erkennung bezüglich VBATT im Funktionsblock 145 bzw. 143 an, die in der beschriebenen Weise seitens der Einrichtung geleistet wird.

Durch geeignete Bemessung von Stützkapazitäten für VCC bzw. daraus abgeleitete Versorgungspotentiale digitaler Schaltkreisfunktionen in Verbindung mit dem Microcontroller 21 kann z. B. die Forderung erfüllt werden, daß eine z. B. 1,5 Sekunden dauernde Unterbrechung des Versorgungspotentials UBATT ohne Datenverlust und Powerfail-Erkennung bezüglich VCC möglich ist, daß hingegen nach einer Unterbrechungsdauer von beispielsweise wenigstens 30 Sekunden beim Neustart des Microcontrollers ein Neulernzyklus bezüglich der auf Endanschläge inkremental abzuspeichernden Daten ausgelöst wird.

Der Rahmen der Erfindung ist im Hinblick auf die möglichen Funktionen der Blöcke 110 und 143 nicht auf die vorgenannten beispielhaften Versorgungsüberwachungen beschränkt. Insoweit können auch andere, die sich von den obigen unterscheiden, je nach Anwendungsfall zweckmäßig sein. Insbesondere kann der IC dann, wenn er eine größere Zahl von Anschlüssen aufweisen kann (auch bei Integration als Standardzelle) noch zusätzliche Eingänge zur Selektion verschiedener fest programmierter Versorgungsüberwachungsarten aufweisen, die gemäß Selektionsbeschaltung bzw. -ansteuerung auswählbar sind.

In Zusammenhang mit einer solchen Versorgungsüberwachung kann optional die bereits erwähnte Zwangsfreisaltung der Sendeendstufe 133 vorgesehen sein mit der Wirkung, daß die Endstufe 133 von CAN H/CAN L abgetrennt wird, wenn das Potential VBATT und/oder VCC unter einen vorbestimmten Schwellwert abfällt, wodurch eine die Funktion des Busses beeinträchtigende Bürde vermieden wird. Diesen

Aspekt versinnbildlicht die Verbindung 157 in Fig. 2.

Die Erfindung umfaßt auch noch die Überwachung irgend einer Spannung, die je nach Applikation für die Funktion des IC 100 oder seines Umfeldes, in das er einzubinden ist, im Block 110 noch integriert sein. Ein Beispiel für eine solche Spannung könnte z. B. eine Kontrollspannung aus einem Schaltregler für Steuergeräte mit höherer Betriebsspannung UBATT, etwa in Nutzfahrzeugen, sein. Dabei ist nicht nur an die Auswertung des Unterschreitens unterer, sondern auch oberer Grenzwerte oder des Verlassens von Spannungsfenstern gedacht. Die Auswertung zu einem ERR/INT-Signal an 4 kann auch hierbei im Funktionsblock 145 erfolgen.

Wie sich beispielsweise ein Steuergerät mit dem gegenständlichen IC in der Konfiguration gemäß Fig. 1a bezüglich wesentlicher Spannungs- und Signalpegel nach der Beaufschlagung mit dem Versorgungs-/Speisepotential UBATT/VBATT und der kooperierende Microcontroller bezüglich des hier beispielhaft betriebsartabhängig zu interpretierenden ERR/INT-Signals verhält, ist in Fig. 12a zeitdiagrammatisch und in Fig. 12b auch anhand eines Funktionschaltbildes dargestellt.

Demgemäß erfolgt zur Zeit  $t_3$  die Anschaltung der Einrichtung an UBATT bzw. VBATT. Nach kurzer Verzögerung gibt der IC 100 im Zeitpunkt  $t_4$  am Steuerausgang 1 das Signal ENA/NINH an den Steuereingang 20.3 des Reglers 20 ab. Daraufhin baut sich bis zum Zeitpunkt  $t_5$  die Speisespannung VCC des Microcontrollers 21 auf. Im nachfolgenden Zeitpunkt  $t_6$  gibt der Regler 20 das PWOR-Signal zwecks Rücksetzung des Microcontrollers 21 zur Initialisierung ab.

Um diese Reaktion sicherzustellen, kann der IC 100 — und insbesondere sein Funktionsblock 110 — noch besondere Mittel umfassen, welche bewirken, daß bei Inbetriebnahmebeaufschlagung des Einganges 14 mit VBATT (Anschalten eines Steuergerätes mit dem IC und Spannungsregler an UBATT) das ENA/NINH-Signal initial zunächst erzeugt wird unabhängig vom logischen Status der EN- und STB-Eingänge, so daß eine Bestromung des Microcontrollers 21 zur Einlesung seiner anschließend den Betriebszustand des IC 100 steuernden EN- und STB-Signale überhaupt möglich ist (Latchup to Go).

Die anschließend Interpretation eines an 4 auftretenden ERR/INT-Signales durch den Microcontroller 21 geschieht in Abhängigkeit vom logischen Pegel der von ihm ausgegebenen STB- und EN-Signale, und — da diese die Betriebsart des IC vorgeben — in Abhängigkeit von dessen Betriebsarten SLEEP, STANDBY/RECEIVE ONLY und NORMAL, wie folgt.

Bis zur Zeitspanne  $t_7$  hat der Microcontroller 21 seine Initialisierung samt Port-Check sicher abgeschlossen.

Während einer daran anschließenden, zwischen  $t_7$  und  $t_8$  definierten Zeitspanne, der sog. POWER-ON PHASE, haben beide Signale STB und EN seitens des Microcontrollers noch den logischen Pegel "L", entsprechend einer Einstellung des IC 100 auf die Betriebsart SLEEP. Wird in diesem logischen Zustand ein Wake UP-Signal z. B. vom Schalter 25 an 7 erkannt, wird im Funktionsblock 145 bzw. 143 das Wake Up-Flag gesetzt. Dies führt im Zustand, bevor das STB-Signal von "L" auf "H" übergeht, zur Auslösung eines INTERRUPT-Signals an 4, d. h. im ersten Signalfenster für ERR/INT. Ein INTERRUPT an 4 in dieser Zeitspanne wird vom Microcontroller 21 als WAKEUP INTERRUPT interpretiert. Diesem Fall entspricht in Fig. 12b die obere Schalterstellung zum Abfragen des Wake Up-Flipflops im Block 145 bzw. 143.

lung zum Abfragen des Wake Up-Flipflops im Block 145 bzw. 143.

In wenigstens einem Teil der POWER-ON PHASE kann vorzugsweise die Busfehlererkennung 132 durch Mittel, die beispielsweise durch die Anstiegsflanke VCC am Anschluß 10 des IC 100 wirksam sind, noch inaktiv sein.

Während der daran zwischen  $t_8$  und  $t_9$  sich anschließenden Zeitspanne, der sog. RECEIVE ONLY PHASE, gibt der Microcontroller STB = "H", EN = "L" aus. Wurde zuvor bzw. wird das Powerfail-Flag in 145 bzw. 143 gesetzt, führt dies jedenfalls in diesem logischen Zustand bevor das EN-Signal von "L" auf "H" übergeht zur Auslösung eines INTERRUPT-Signals an 4, d. h. im zweiten Signalfenster für ERR/INT. Ein INTERRUPT an 4 in dieser Zeitspanne wird vom Microcontroller 21 als POWERFAIL INTERRUPT interpretiert. Diesem Fall entspricht in Fig. 12b die mittlere Schalterstellung zum Abfragen des Powerfail-Flip-flops im Block 145 bzw. 143.

Sobald der Zeitpunkt  $t_9$  erreicht ist, ist volle Kommunikationsfähigkeit hergestellt und der Microcontroller gibt EN = "H", STB = "H" aus. Wurde zuvor bzw. wird das Bus Error-Flag im Busfehlerauswertungsblock 144 bzw. in 143 gesetzt, führt dies in diesem logischen Zustand zur Auslösung eines INTERRUPT-Signals an 4, d. h. im dritten Signalfenster für ERR/INT. Ein INTERRUPT an 4 ab dem Zeitpunkt  $t_9$  wird vom Microcontroller 21 als BUS ERROR-INTERRUPT interpretiert. Diesem Fall entspricht in Fig. 12b die untere Schalterstellung zum Abfragen des Bus Error-Flipflops im Block 144 bzw. 143.

In Fig. 12b ist auch das Zurücksetzen des Wake Up-Flags und des Powerfail-Flags veranschaulicht. Es geschieht in Abhängigkeit von den Signalen EN und STB dann, wenn sowohl EN = "H" und STB = "H". Damit ist sichergestellt, daß nach einem folgenden Übergang in die Betriebsart SLEEP (EN = "L", STB = "L") beim erneuten Wecken das Flag-Register wieder jungfräulich und somit setzbar ist.

Ein elektronisches Steuergerät, welches den erfindungsgemäßen IC umfaßt, kann insoweit grob ein Gesamtschaltbild gemäß Fig. 13 aufweisen. Außer bereits bekannten Teilen ist hier noch eine zentrale Stützkapazität 161 für das Potential VCC am Reglerausgang 20.2, ein die Taktfrequenz des Microcontrollers 21 bestimmendes Bauteil 162 und als Schnittstelle zwischen Sensoren sowie Aktuatoren und dem Microcontroller 21 mit Busprotokoll-Modul 22 ein Input/Output-Interface 163 angedeutet, das sowohl aus VCC als auch aus VBATT stromversorgt wird. Diese Darstellung macht ersichtlich, daß auch der IC 100 sowohl hinsichtlich seiner oben beschriebenen Funktionen als auch seiner Anordnung im Kommunikationspfad gewissermaßen als Interface zwischen CAN<sub>H</sub>/CAN<sub>L</sub> und Microcontroller 21 bzw. dem Busprotokoll-Modul verstanden werden kann.

Auch im Hinblick darauf erweist sich als wichtig, daß der IC 100 und insbesondere seine Sendeendstufe 133 inhärent gegen alle möglichen Busfehler geschützt ausgeführt sein können und im Rahmen des Funktionsblockes 130 vermöge der Funktionsblöcke 131 und 132 die Busbehandlung im Fehlerfall zur Aufrechterhaltung einer Kommunikationsfunktionalität rein hardwaremäßig unter Ausschluß des Microcontrollers geschieht. Dadurch wird der Microcontroller und die ihm zugeordnete Busprotokoll-Funktion vollkommen abschaltbar.

Dieses Merkmal wird noch gestützt durch eine optio-

nal mögliche Ausbildung der Sendemittel 130 bzw. wenigstens der davon umfaßten Endstufe 133 dahingehend, daß sie sich bei Vorliegen eines Defekts in dem sie umfassenden IC 100 selbsttätig vom Bus freischaltet/en, wodurch eine Blockierung des Bus-Netzes durch ein insoweit gestörtes Gerät vermieden wird.

Zur Vollständigkeit sei erwähnt, daß die Mittel des IC 100, vermöge derer im Fehlerfalle die Erkennung der besten noch bestehenden Möglichkeit einer Notkommunikation über den Bus und die Einstellung und/oder Umkonfiguration und/oder Adaption der Sendemittel und Empfangsmittel geschieht, auf der Basis analoger Vergleiche der Busaderpotentiale mit fixen Toleranzfenstern für diese Potentiale wirken können.

Wird der IC in einer robusten Technologie hergestellt, welche insbesondere Überspannungen im Applikationsfeld zu widerstehen vermag und auch verträglich mit dort zu erwartenden elektromagnetischen Störeinstrahlungen ist (z. B. keine Bezugspegelverschiebung durch HF-Gleichrichteffekte in/bei Komparatoren in 121 und 132 etc.), bildet er zugleich — in der Art eines Schutzwalles vor dem Microcontroller — ein physikalisches Sicherungsinterface für hochsensible Schaltelemente wie z. B. A/D-Wandler und digitale Schaltkreise eines Steuergerätes.

Bei einer solchen Realisierungsweise kann der IC auch besondere, mitintegrierte Mittel umfassen, welche an sich erforderliche externe Schutzmittel ersetzen, um die am Bus liegenden Empfangs- und Sendemittel nach außen widerstandsfähig gegenüber allen in der Praxis busweit möglichen Kurzschluß- und Fehlerzuständen zu machen.

Ohne Beschränkung der Allgemeinheit kann der IC 100 gemäß Fig. 2 dies hinsichtlich u. a. auch Filterelemente 80 und 81 — insbesondere mit Tiefpaßcharakteristik — mitumfassen. Beispielsweise kann ein solches Filterelement 80 zwischen Anschluß 7 und dem Funktionsblock 111 (WAKEUP-Logic) angeordnet sein. Entsprechende Filterelemente 81 können im Verlaufe des gemeinsamen Busanschlußpfades CAN\_H/CAN\_L der Funktionsblöcke 111 und 132 angeordnet sein. Andere Filterelemente 82 können im Verlaufe des Busanschlußpfades von den Anschlüssen 11 und 12 zum Empfänger-Frontend 121 angeordnet sein.

Solche Filterelemente erhöhen den Störabstand und verringern die Ansprechempfindlichkeit des IC 100 auf hochfrequente Einstreuungen sowie auf hochfrequente Störsignale, die sich bei busfehlerbedingtem Eindrahtbetrieb über Masse GND im Pfad des Masserückschlusses zum Nutz(not-)signal hinzuaddieren. Im einfachsten Falle kann es sich hierbei um analoge RC-Tiefpässe handeln, deren Elemente in der IC 100 auch schaltungstopologisch verteilt sein können. Gleichwohl kann es sich dabei um quasi-digitale Filter handeln, beispielsweise um solche mit vorbestimmter Ansprechzeit in der Größenordnung mehrerer Busbitlängen.

Andererseits können solche Filterelemente 80, 81 und 82 unterschiedlich realisiert sein und unterschiedliche Charakteristika aufweisen, um beispielsweise unterschiedlichen Störungsmöglichkeiten in den Betriebsarten SLEEP und NORMAL mit und ohne Fehler bzw. der schnellen Busfehler-Erkennung und -Behandlung binnen kürzester Zeit Rechnung zu tragen.

Der Rahmen der Erfindung umspannt weiter, daß der IC 100 gemäß Fig. 14 zusammen mit einer anderen beliebigen Schaltkreisfunktion 83 auf einem einzigen Halbleiter-Substrat 90 realisiert und insoweit beide jeweils monolithisch ausgeführt sind.

1. Integrierter Halbleiterschaltkreis für ein elektronisches Steuergerät mit Microcontroller, wobei das Steuergerät mit Mitteln zur Kommunikation mit anderen kommunikationsfähigen Steuergeräten mit Microcontrollern ausgestattet ist um mit letzteren ein Controller Area Network (CAN) zu bilden, in welchem die Bus-Kommunikation protokollbasiert seriell geschieht und wofür der Bus als Zweidrahtleitung ausgebildet und jedes Steuergerät mit einer Bus-Protokollfunktion ausgestattet ist, dadurch gekennzeichnet, daß der Halbleiterschaltkreis umfaßt:

- Empfangsmittel (120) mit zwei Eingängen zum Anschluß an die beiden Busadern (CAN\_H, CAN\_L) und einem Ausgang (3) zum Anschluß an den Empfangseingang (Rx) der Busprotokollfunktion (22) und Sendemittel (133) mit einem Eingang (2) zum Anschluß an den Sendeausgang (Tx) der Busprotokollfunktion (22) und zwei Ausgängen (11, 12) zum Anschluß an die beiden Busadern (CAN\_H, CAN\_L);

- Mittel, die beim Auftreten eines die normale Kommunikationsweise über beide Busadern beeinträchtigenden Busfehlers sowohl die Empfangsmittel (120) als auch die Sendemittel (133) für die beste noch bestehende Möglichkeit einer Notkommunikation über den Bus einzustellen und/oder umzukonfigurieren und/oder zu adaptieren vermögen;

- Busfehler-Erkennungsmittel (132) und Busfehler-Auswertungsmittel (144) zur Aufbereitung wenigstens eines an den Microcontroller (21) abgebbaren (4; 24) Fehler- bzw. Unterbrechungssignals (ERR/INT);

- mit den Busfehler-Erkennungsmitteln (132) kooperative Bus-Abschluß-Umschaltmittel (131), welche jedes von zwei an zwei Eingängen (8, 9) des Halbleiterschaltkreises anschließbaren Abschlußelementen (16, 17) an eine ihm zugeordnete Busader (CAN\_H, CAN\_L) anzuschalten vermögen (16 an CAN\_H, 17 an CAN\_L).

2. Integrierter Halbleiterschaltkreis für ein elektronisches Steuergerät mit Microcontroller, wobei das Steuergerät mit Mitteln zur Kommunikation mit anderen kommunikationsfähigen Steuergeräten mit Microcontrollern ausgestattet ist um mit letzteren ein Controller Area Network (CAN) zu bilden, in welchem die Bus-Kommunikation protokollbasiert seriell geschieht und wofür der Bus als Zweidrahtleitung ausgebildet und jedes Steuergerät mit einer Bus-Protokollfunktion ausgestattet ist, dadurch gekennzeichnet, daß der Halbleiterschaltkreis umfaßt:

- Empfangsmittel (120) mit zwei Eingängen zum Anschluß an die beiden Busadern (CAN\_H, CAN\_L) und einem Ausgang (3) zum Anschluß an den Empfangseingang (Rx) der Busprotokollfunktion (22) und Sendemittel (133) mit einem Eingang (2) zum Anschluß an den Sendeausgang (Tx) der Busprotokollfunktion (22) und zwei Ausgängen (11, 12) zum Anschluß an die beiden Busadern (CAN\_H, CAN\_L);

- daß er wenigstens in den zwei verschiede-

nen Betriebsarten

- "Senden und Empfang/NORMAL",
- "Schlafen/SLEEP"

betreibbar ist, und daß er ferner einen Eingangsport (6, 5) zum Empfang wenigstens eines Selektionssignales (EN, STB) des Micro-

controllers (21) zur Auswahl einer dieser wenigstens zwei Betriebsarten aufweist;  
 — daß er ferner wenigstens einen Eingang (7) zum Empfang eines Wecksignals sowie mit den beiden Busadern (CAN\_H, CAN\_L) in Verbindung stehende Weck-Erkennungsmittel (111) aufweist und des weiteren Schaltmittel (141) zur Bereitstellung eines Schaltsignals (ENA/NINH) sowie Weck-Auswertungsmittel (145) zur Aufbereitung und Abgabe (4; 24) an den Microcontroller (21) eines Fehlerbzw. Unterbrechungssignals (ERR/INT) wenn in der Betriebsart "SLEEP" ein Wecksignal vom Bus (CAN\_H, CAN\_L) oder besagtem Eingang (7) erkannt wird.

3. Integrierter Halbleiterschaltkreis nach Anspruch 1 oder 2, dadurch gekennzeichnet,

- daß er außer Masse (GND) einen ersten Versorgungseingang für eine höhere Betriebsspannung (VBATT/14) und einen zweiten Versorgungseingang für eine niedrigere Betriebsspannung (VCC/10) aufweist.

4. Integrierter Halbleiterschaltkreis nach Anspruch 2 und Anspruch 3, dadurch gekennzeichnet,

- daß er in der Betriebsart "SLEEP" am Versorgungseingang für die niedrigere Betriebsspannung (10/VCC) keinen Betriebsstrom aufnimmt.

5. Integrierter Halbleiterschaltkreis nach Anspruch 1, dadurch gekennzeichnet,

- daß die Bus-Abschluß-Umschaltmittel (131) so beschaffen sind,
- daß sie abhängig von der Art eines erkannten Busfehlers anstelle wenigstens eines der Abschlußelemente (16, 17) erste und zweite, im Halbleiterschaltkreis fest integrierte Ersatzabschlußelemente (26, 27; 26', 27') an wenigstens eine der beiden Busadern (CAN\_H, CAN\_L) schalten (S<sub>1</sub>, S<sub>2</sub>, S<sub>3</sub>, SOH).

6. Integrierter Halbleiterschaltkreis nach Anspruch 5, dadurch gekennzeichnet,

- daß das erste Ersatzabschlußelement (26) durch eine eingeprägte Stromquelle realisiert ist.

7. Integrierter Halbleiterschaltkreis nach Anspruch 5, dadurch gekennzeichnet,

- daß das erste Ersatzabschlußelement (26') durch einen hochohmigen Widerstand realisiert ist.

8. Integrierter Halbleiterschaltkreis nach Anspruch 2, dadurch gekennzeichnet,

- daß er Bus-Abschluß-Umschaltmittel (131) umfaßt die insgesamt so beschaffen sind, daß sie in der Betriebsart "SLEEP" einen impedanzmäßig asymmetrischen Abschluß der beiden Busadern (CAN\_H, CAN\_L) gegenüber der Bezugsmasse (GND) des Halbleiterschaltkreises bewirken.

9. Integrierter Halbleiterschaltkreis nach Anspruch 8, dadurch gekennzeichnet,

- daß seine Bus-Abschluß-Umschaltmittel (131) so beschaffen sind,

— daß sie in der Betriebsart "NORMAL" zwei identische Abschlußelemente (16, 17) an die beiden Busadern schalten (S<sub>1</sub>, S<sub>2</sub>), und

— daß sie in der Betriebsart "SLEEP" anstelle wenigstens eines dieser Elemente (17) wenigstens ein im Halbleiterschaltkreis fest integriertes Ersatzabschlußelement (17') an die betreffende Busader (CAN\_L) schalten (S<sub>3</sub>).

10. Integrierter Halbleiterschaltkreis nach Anspruch 9, dadurch gekennzeichnet,

- daß die identischen Abschlußelemente (16, 17) als externe Bauelemente diskret an den Halbleiterschaltkreis anschließbar sind.

11. Integrierter Halbleiterschaltkreis nach Anspruch 9, dadurch gekennzeichnet,

- daß es sich bei dem ersten Ersatzabschluß (17') um einen Widerstand handelt, welcher einen Wert aufweist, der größenordnungsmäßig ein Vielfaches des Wertes des Widerstandes des Abschlußelementes (17) beträgt.

12. Integrierter Halbleiterschaltkreis nach Anspruch 9, dadurch gekennzeichnet,

- daß er Busfehler-Erkennungsmittel (131) umfaßt, welche wenigstens einen spezifischen, in der Betriebsart "SLEEP" aus wirksamen Busfehler erkennen um die Bus-Abschluß-Umschaltmittel (131) zu veranlassen, das fest integrierte Ersatzabschlußelement (17') unwirksam zu schalten oder vom Bus (CAN\_L) abzutrennen und statt dessen wenigstens ein zweites Ersatzabschlußelement (27, 27') an den Bus (CAN\_L) zu schalten.

13. Integrierter Halbleiterschaltkreis nach einem der Ansprüche 5 und 12, dadurch gekennzeichnet,

- daß das zweite Ersatzabschlußelement (27) durch eine eingeprägte Stromquelle realisiert ist.

14. Integrierter Halbleiterschaltkreis nach einem der Ansprüche 5 und 12, dadurch gekennzeichnet,

- daß das zweite Ersatzabschlußelement (27') durch einen hochohmigen Widerstand ist.

15. Integrierter Halbleiterschaltkreis nach Anspruch 12, dadurch gekennzeichnet,

- daß das zweite Ersatzabschlußelement (27, 27') so in Bezug auf den fest integrierte Ersatzabschlußelement (17') dimensioniert ist, daß durch das zweite Ersatzabschlußelement (27, 27') im Fehlerfall ein geringerer Strom fließt als durch das fest integrierte Ersatzabschlußelement ohne Vorliegen eines Fehlers.

16. Integrierter Halbleiterschaltkreis gemäß den drei Ansprüchen 2 und 3 und 9, dadurch gekennzeichnet,

- daß der fest integrierte Ersatzabschluß (17') an der höheren Betriebsspannung (VBATT/14) liegt.

17. Integrierter Halbleiterschaltkreis nach Anspruch 1, dadurch gekennzeichnet,

- daß die Mittel zur Einstellung und/oder Umkonfiguration und/oder Adaption für die beste noch bestehende Möglichkeit einer Notkommunikation so auf die Empfangs- (120) und Sendemittel (133) verteilt bzw. diesen zugeordnet sind, daß die Empfangsmittel (120) dadurch unabhängig von den Sendemitteln (133) autonom selbsteinstellend und/oder selbstumkonfigurierend und/oder selbstadaptierend sind.



18. Integrierter Halbleiterschaltkreis nach Anspruch 17, dadurch gekennzeichnet,  
— daß er Mittel umfaßt aufgrund derer die Einstellung und/oder Umkonfiguration und/oder Adaption binnen einer Bus-Bit-Zeit geschieht. 5
19. Integrierter Halbleiterschaltkreis nach Anspruch 17, dadurch gekennzeichnet,  
— daß er Mittel umfaßt aufgrund derer die Einstellung und/oder Umkonfiguration und/oder Adaption in einer Busbotschaftsverluste vermeidenden Weise geschieht. 10
20. Integrierter Halbleiterschaltkreis gemäß den Ansprüchen 1 und 2, dadurch gekennzeichnet,  
— daß die Busfehler-Auswertungsmittel (144) und die Weck-Auswertungsmittel (145) ausgangsseitig verknüpft sind zwecks Abgabe eines an den Microcontroller (21) abgebbaren (4; 24) Fehler- bzw. Unterbrechungssignals (ERR/INT). 15
21. Integrierter Halbleiterschaltkreis nach Anspruch 3, dadurch gekennzeichnet,  
— daß die Sendemittel (133) im Falle des Abfallens der höheren Betriebsspannung (VBATT/14) unter einen vorbestimmten Grenzwert sich vom Bus (CAN\_H/CAN\_L) automatisch freischalten. 20
22. Integrierter Halbleiterschaltkreis nach Anspruch 3, dadurch gekennzeichnet,  
— daß die Sendemittel (133) im Falle des Abfallens der niedrigeren Betriebsspannung (VCC/10) unter einen vorbestimmten Grenzwert sich vom Bus (CAN\_H/CAN\_L) automatisch freischalten. 25
23. Integrierter Halbleiterschaltkreis nach Anspruch 2, dadurch gekennzeichnet,  
— daß er ferner wenigstens einer der Betriebsarten  
— Nur-Empfang (RECEIVE ONLY)  
— Bereitschaft (STANDBY) 30  
fähig ist, in welchen entweder die Stromversorgung der Sendemittel (133) abschaltbar ist oder die Sendemittel (133) vom Bus (CAN\_H/CAN\_L) freischaltbar sind. 35
24. Integrierter Halbleiterschaltkreis nach einem der Ansprüche 21 bis 23, dadurch gekennzeichnet,  
— daß die Freischaltung durch Blockierung eines Steuereinganges (EN) zur aktiven Anschaltung der Sendemittel an den Bus (CAN\_H/CAN\_L) geschieht. 40
25. Integrierter Halbleiterschaltkreis nach einem der Ansprüche 1 und 2, dadurch gekennzeichnet,  
— daß er Mittel umfaßt die bewirken, daß die Stromversorgung der Sendemittel (133) fehlerabhängig blockierbar ist. 45
26. Integrierter Halbleiterschaltkreis nach Anspruch 2, dadurch gekennzeichnet,  
— daß er Mittel umfaßt, welche in der Betriebsart "SLEEP" die Stromversorgung der Sendemittel (133) blockieren. 50
27. Integrierter Halbleiterschaltkreis nach einem der Ansprüche 1 und 2, dadurch gekennzeichnet,  
— daß er Mittel umfaßt, welche im Falle eines Eigenfehlers des Halbleiterschaltkreises die Stromversorgung der Sendemittel (133) blockieren. 55
28. Integrierter Halbleiterschaltkreis nach einem der Ansprüche 25 bis 27, dadurch gekennzeichnet,  
— daß die Blockierung der Stromversorgung der Sendemittel (133) deren Freischaltung vom Bus (CAN\_H/CAN\_L) zwangsläufig bewirkt. 60
29. Integrierter Halbleiterschaltkreis nach einem der Ansprüche 1 und 2, dadurch gekennzeichnet,  
— daß er Mittel (110) zur Überwachung einer Spannung wenigstens auf Unterschreitung oder Überschreitung eines Grenzwertes umfaßt sowie Auswertungsmittel (145) zur Aufbereitung wenigstens eines an den Microcontroller (21) abgebbaren (4; 24) Fehler- bzw. Unterbrechungssignals (ERR/INT), wenn die Unterschreitung oder Überschreitung erfolgt. 65
30. Integrierter Halbleiterschaltkreis nach Anspruch 3, dadurch gekennzeichnet,  
— daß er Mittel (110) zur Überwachung seiner höheren Betriebsspannung (VBATT/14) auf Unterschreitung eines (ersten) Grenzwertes (VL1) umfaßt sowie Auswertungsmittel (145) zur Aufbereitung wenigstens eines an den Microcontroller (21) abgebbaren (4; 24) Fehler- bzw. Unterbrechungssignals (ERR/INT), wenn diese Betriebsspannung unter besagten Grenzwert abfällt.
31. Integrierter Halbleiterschaltkreis nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet,  
— daß er Mittel (110) zur Überwachung der Betriebsspannung (VCC) des Microcontrollers (21) auf Unterschreitung eines (zweiten) Grenzwertes (VL2) umfaßt sowie Auswertungsmittel (145) zur Aufbereitung wenigstens eines an den Microcontroller (21) abgebbaren (4; 24) Fehler- bzw. Unterbrechungssignals (ERR/INT), wenn diese Betriebsspannung (VCC) unter besagten Grenzwert abfällt.
32. Integrierter Halbleiterschaltkreis nach einem der Ansprüche 30 und 31, dadurch gekennzeichnet,  
— daß er logische Mittel umfaßt welche das Fehler- und Unterbrechungssignal (ERR/INT) erzeugen, wenn beide Grenzwerte (VL1, VL2) unterschritten werden bzw. worden sind.
33. Integrierter Halbleiterschaltkreis nach Anspruch 1 und Anspruch 30, dadurch gekennzeichnet,  
— daß die Busfehler-Auswertungsmittel (144) und die Mittel (145) zur Auswertung des Unterschreitens des (ersten) Grenzwertes (VL1) ausgangsseitig verknüpft sind zwecks Abgabe eines an den Microcontroller (21) abgebbaren (4; 24) Fehler- bzw. Unterbrechungssignals (ERR/INT).
34. Integrierter Halbleiterschaltkreis nach Anspruch 1 und Anspruch 31, dadurch gekennzeichnet,  
— daß die Busfehler-Auswertungsmittel (144) und die Mittel (145) zur Auswertung des Unterschreitens des (zweiten) Grenzwertes (VL2) ausgangsseitig verknüpft sind zwecks Abgabe eines an den Microcontroller (21) abgebbaren (4; 24) Fehler- bzw. Unterbrechungssignals (ERR/INT).
35. Integrierter Halbleiterschaltkreis nach Anspruch 1, dadurch gekennzeichnet,  
— daß er Filterelemente (81, 82) umfaßt und diese so geschaltet sind, daß je eines davon wenigstens zwischen jeweils der einen Busader (CAN\_H, CAN\_L) und dem entsprechenden der beiden Eingänge der Empfangsmittel

- (120) und/oder der Busfehler-Erkennungsmittel wirksam ist.
36. Integrierter Halbleiterschaltkreis nach Anspruch 2, dadurch gekennzeichnet,  
— daß er Filterelemente (81, 82) umfaßt und diese so geschaltet sind, daß je eines davon wenigstens zwischen jeweils der einen Busader (CAN<sub>H</sub>, CAN<sub>L</sub>) und dem entsprechenden der beiden Eingänge der Empfangsmittel (120) und/oder der Weck-Erkennungsmittel (111) wirksam ist.
37. Integrierter Halbleiterschaltkreis nach Anspruch 2, dadurch gekennzeichnet,  
— daß er wenigstens ein Filterelement (80) umfaßt, das zwischen dem Eingang für ein Wecksignal (7) und den Weck-Erkennungsmitteln (111) wirksam ist.
38. Integrierter Halbleiterschaltkreis nach einem der Ansprüche 1 und 2, dadurch gekennzeichnet,  
— daß die Empfangsmittel (120) und Sendemittel (130) so ausgebildet sind, daß sie jeweils für sich ohne externe Schutzbeschaltung zerstörungsfrei fehlertolerant gegenüber allen busweit applikationsspezifisch möglichen Fehlerfällen sind.
39. Integrierter Halbleiterschaltkreis nach Anspruch 1 oder 2, dadurch gekennzeichnet,  
— daß er monolithisch integriert ist.
40. Integrierter Halbleiterschaltkreis nach Anspruch 39, dadurch gekennzeichnet,  
— daß er zusammen mit einer anderen Halbleiterschaltkreisfunktion (83) auf einem Halbleitersubstrat monolithisch integriert ist.
41. Integrierter Halbleiterschaltkreis nach Anspruch 39, dadurch gekennzeichnet,  
— daß sein Chip-Design als das einer kompilierbaren Standardzelle auf dem ihn tragenden Halbleiter-Chip erhalten ist.

---

Hierzu 9 Seite(n) Zeichnungen

---

40

45

50

55

60

65

Fig. 1a

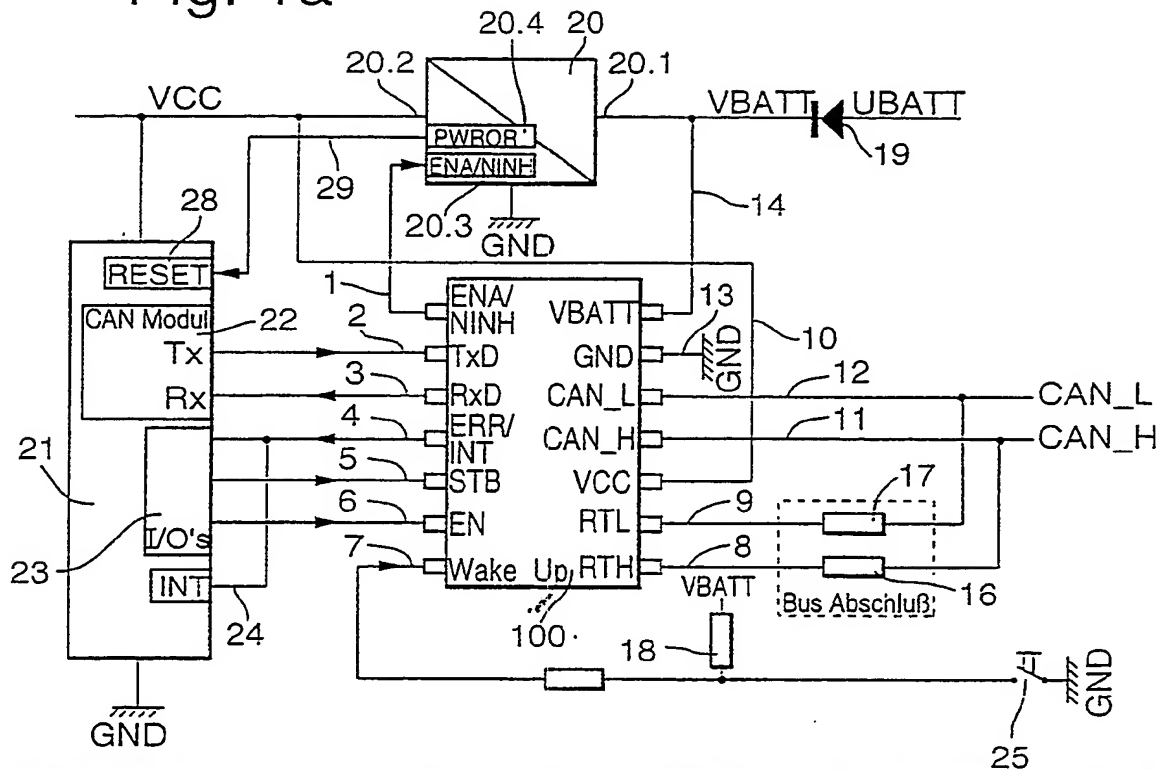


Fig. 1b

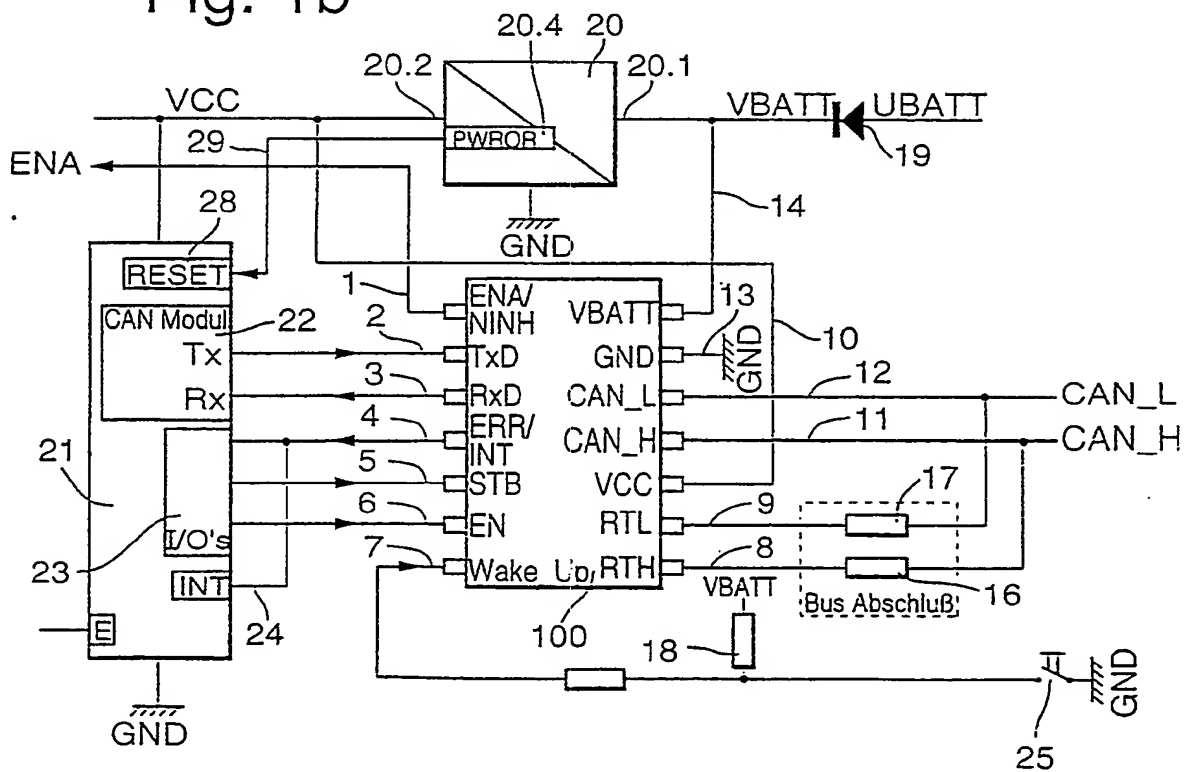
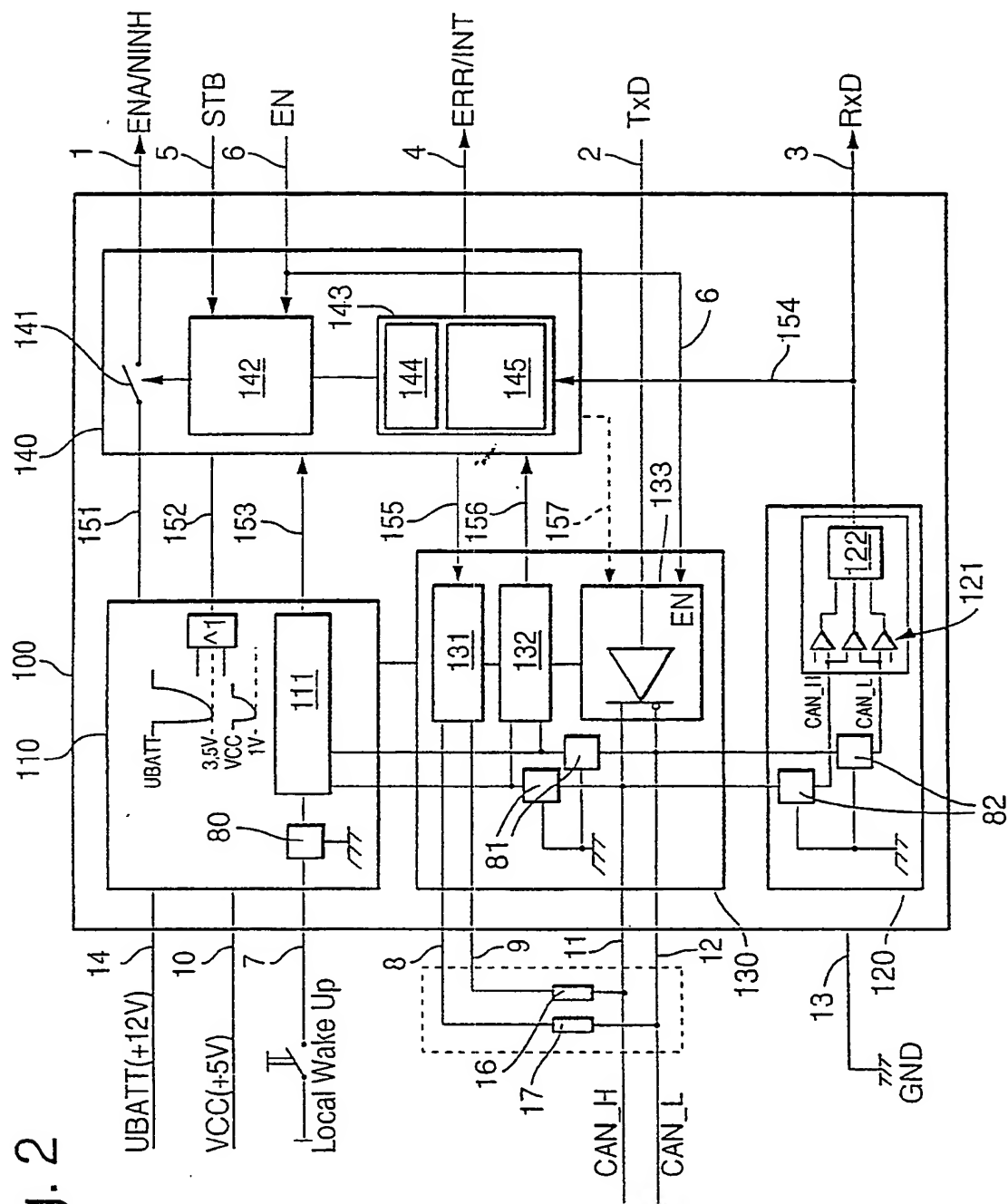


Fig. 2



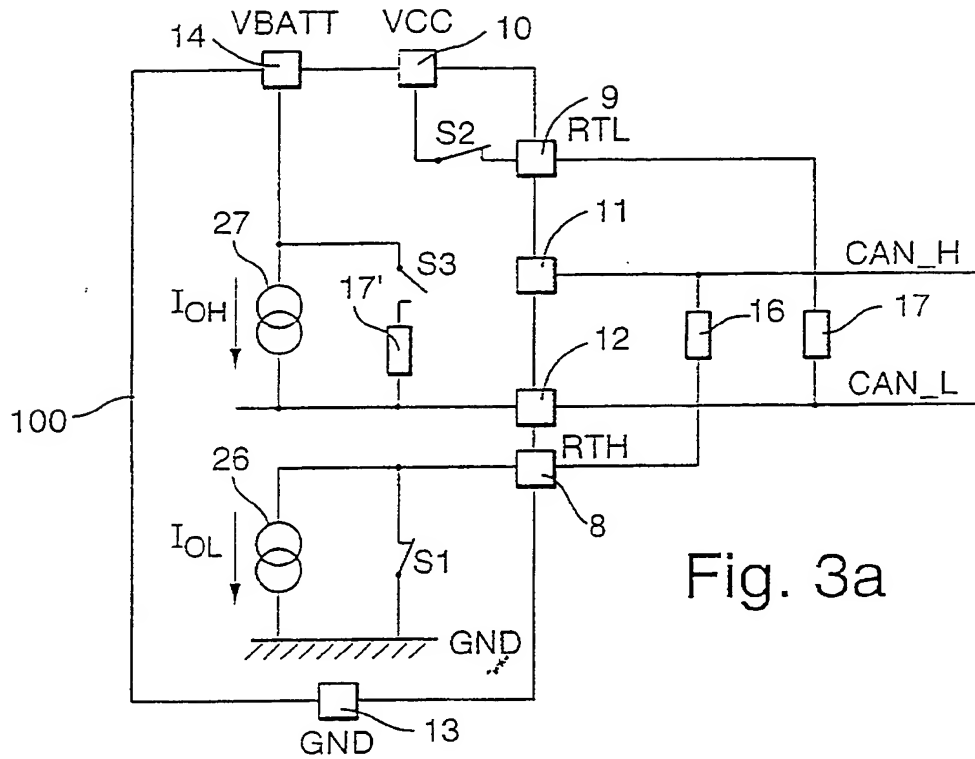


Fig. 3a

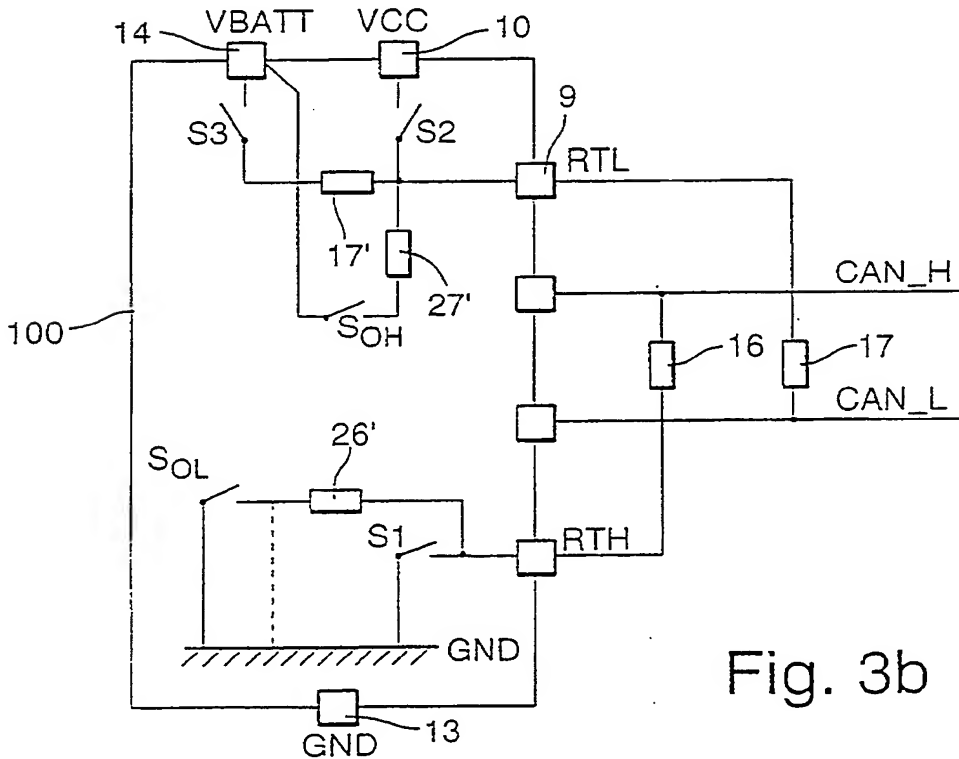


Fig. 3b



Fig. 4

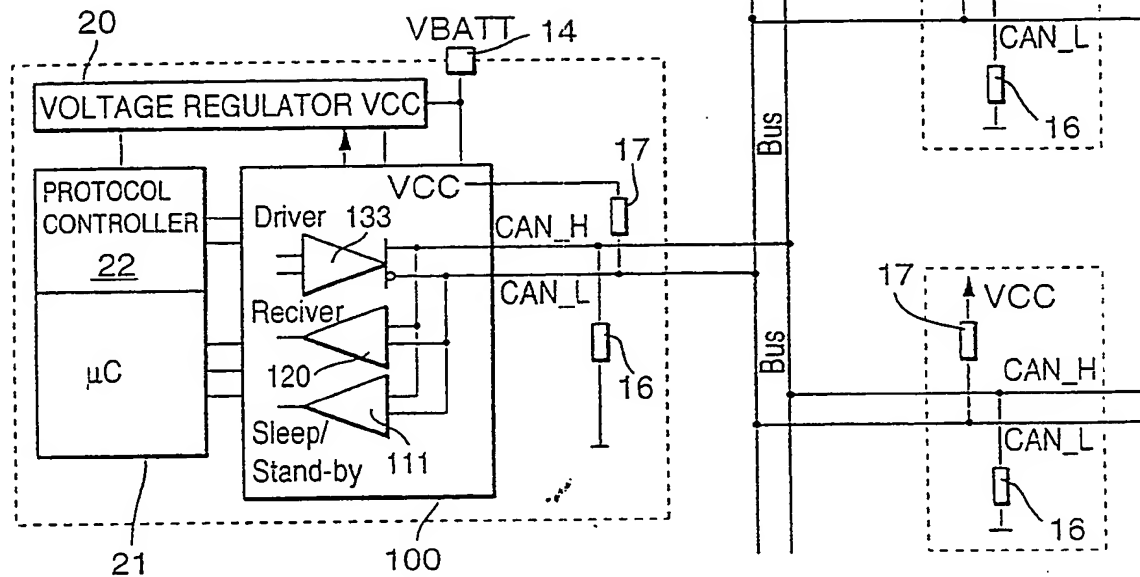
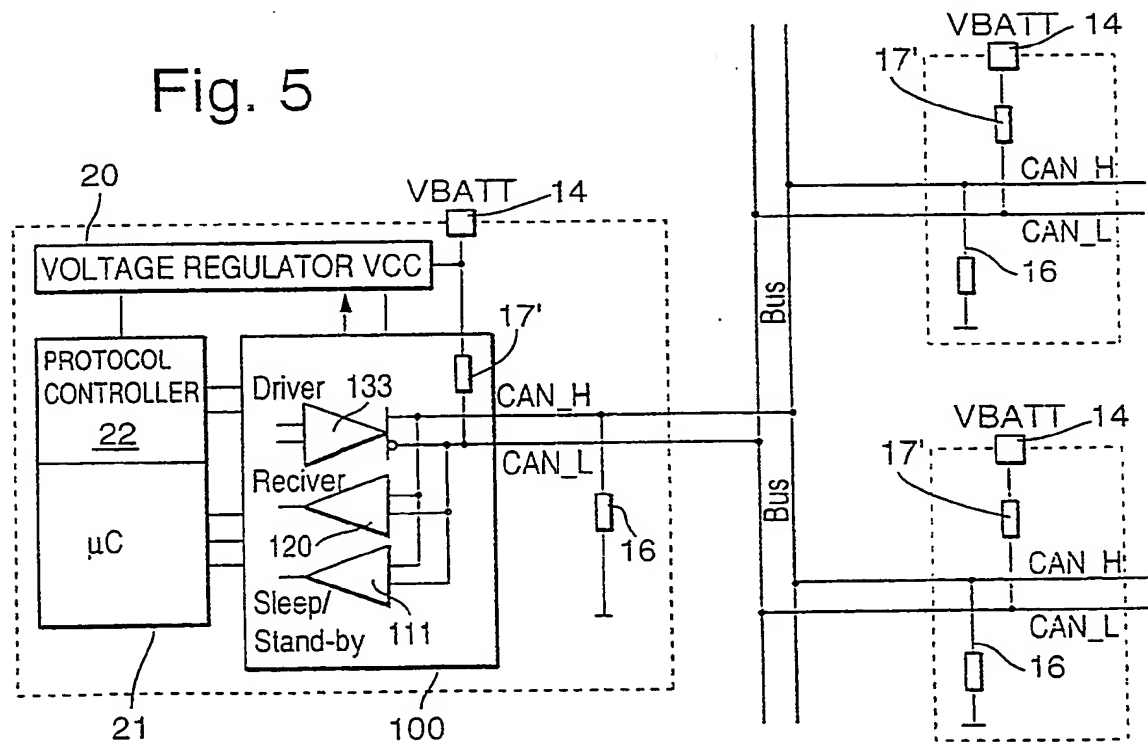


Fig. 5



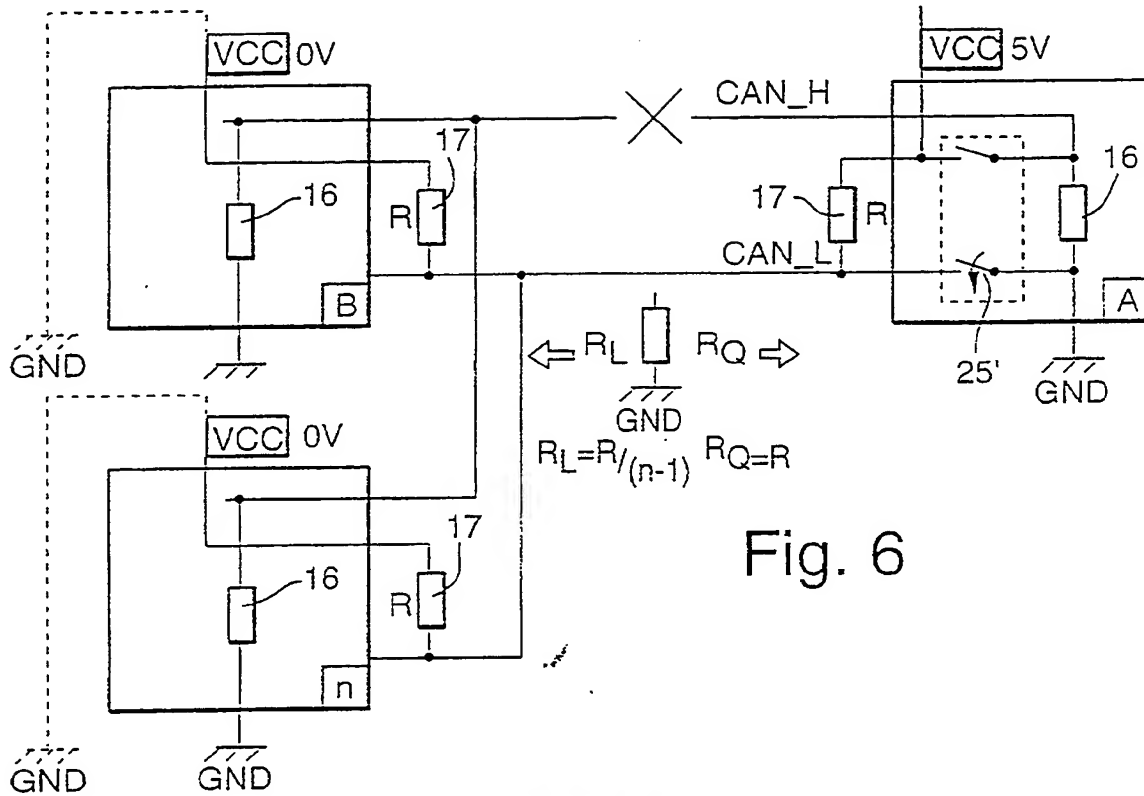


Fig. 7

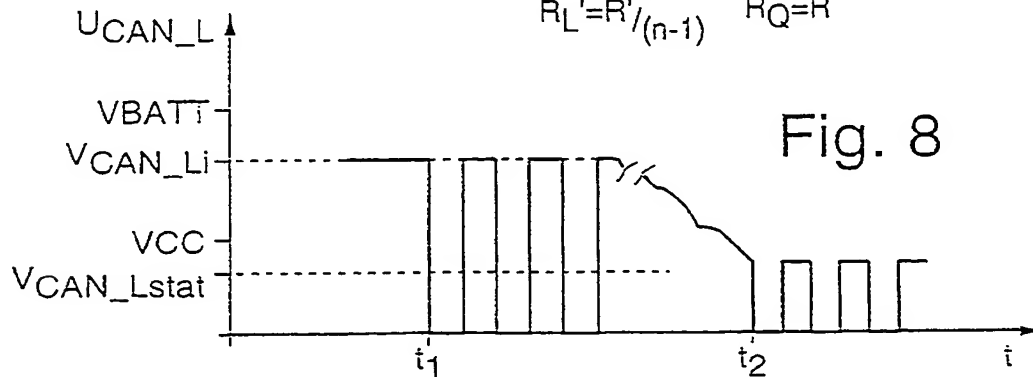
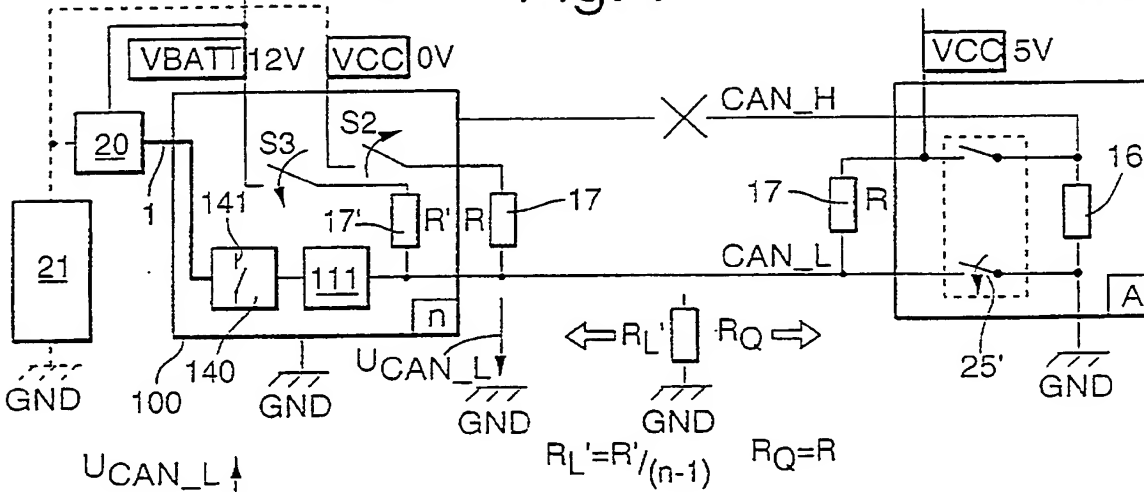


Fig. 9

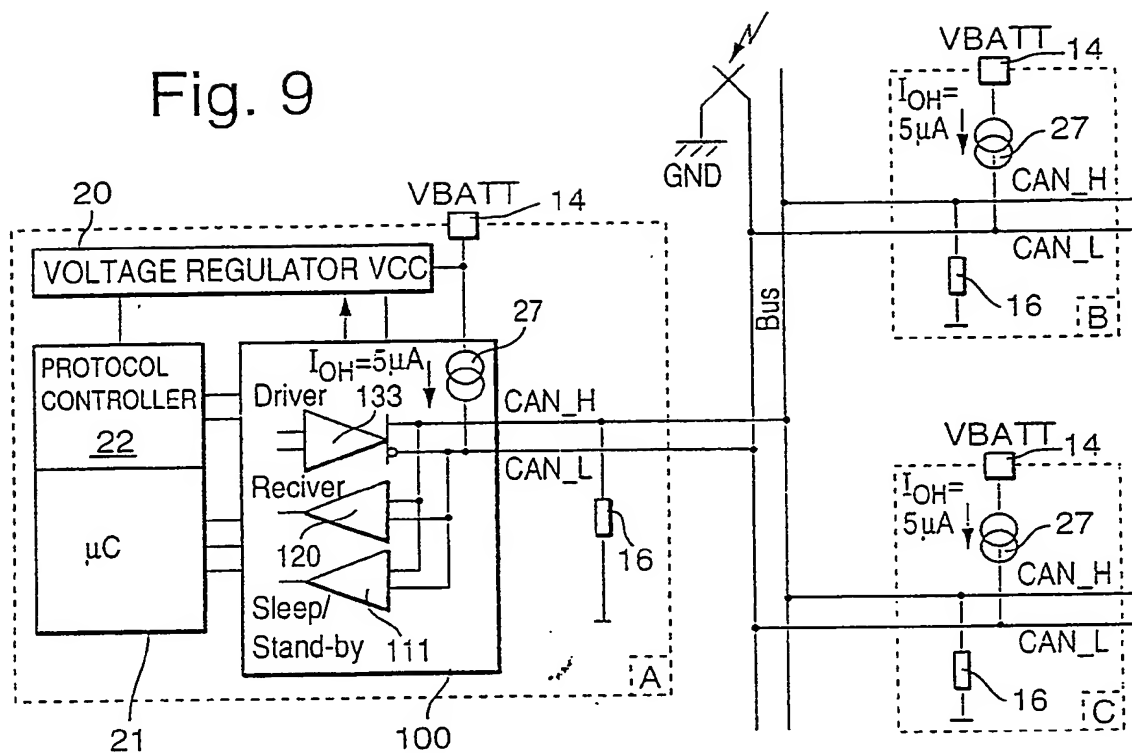


Fig. 10

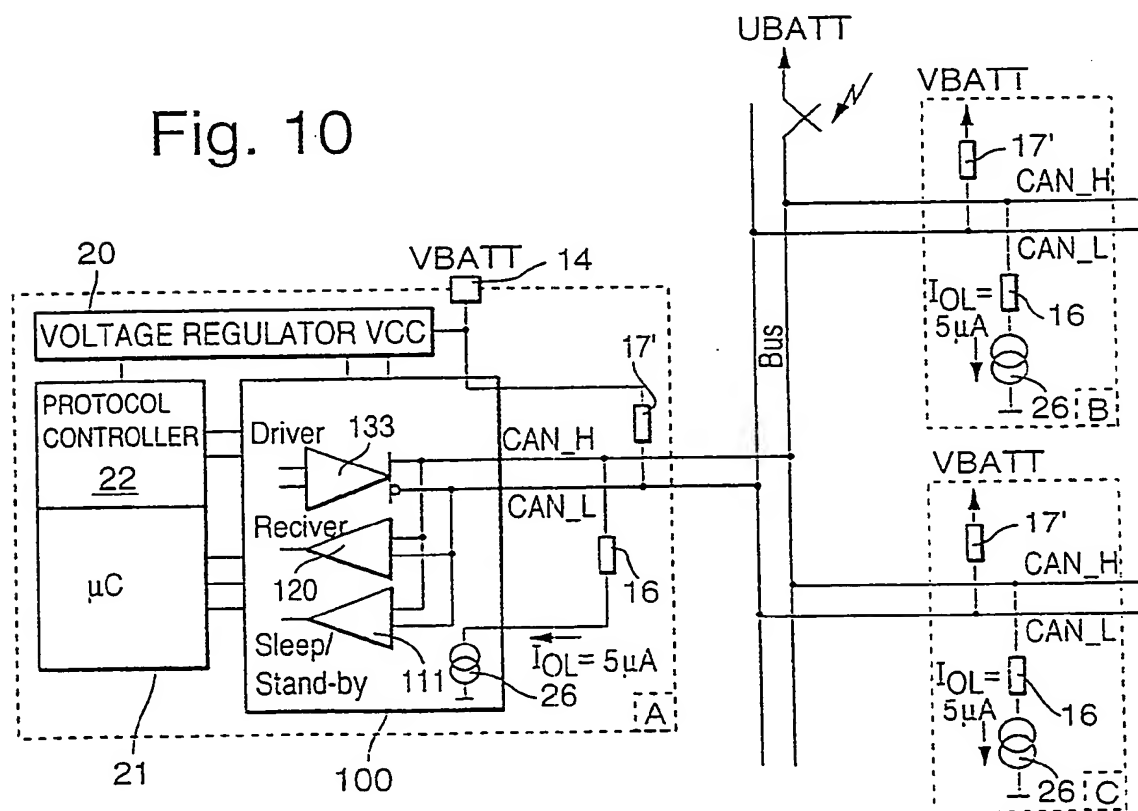


Fig. 11

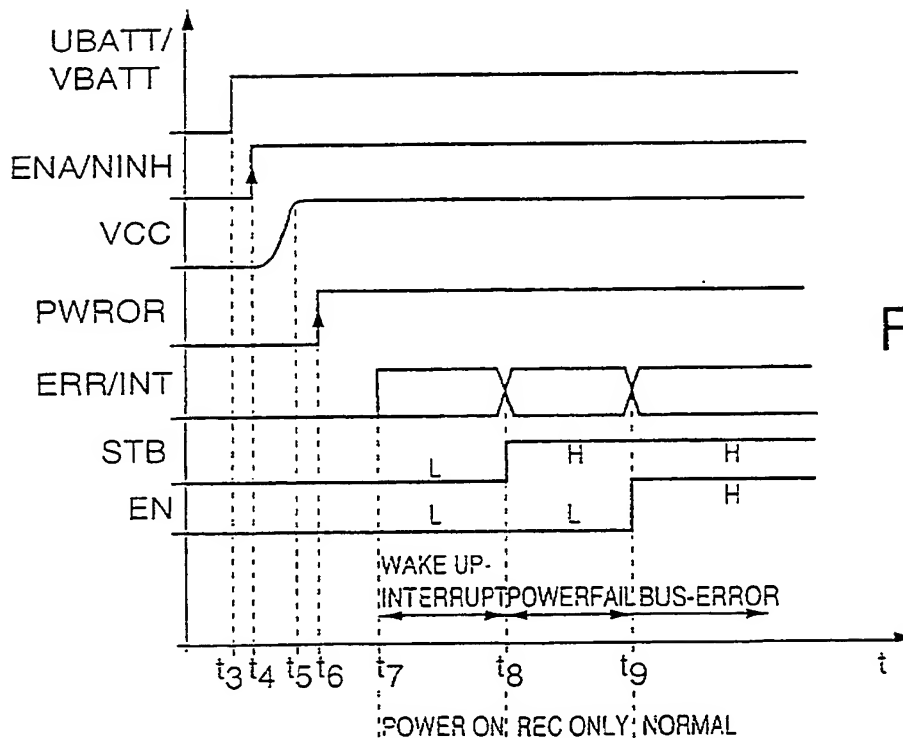
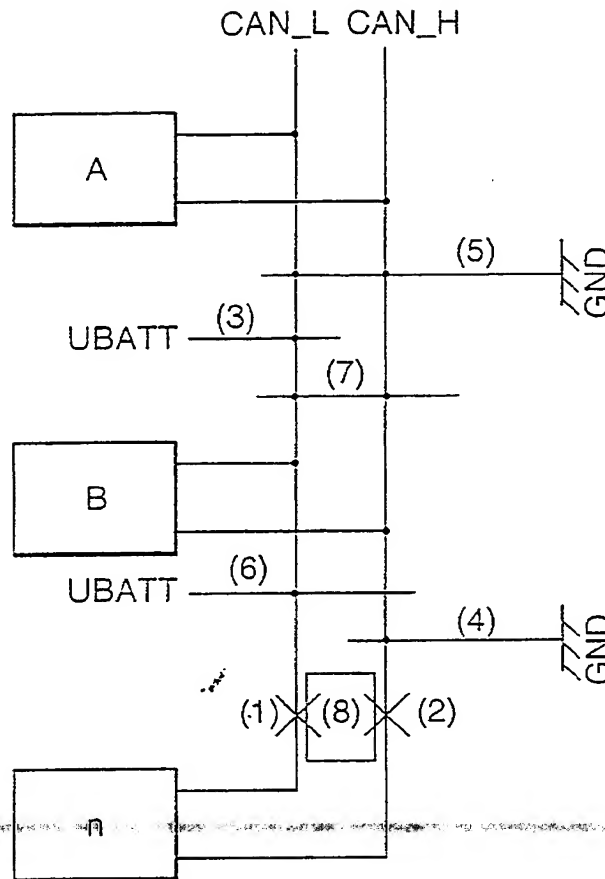


Fig. 12a

Fig. 12b

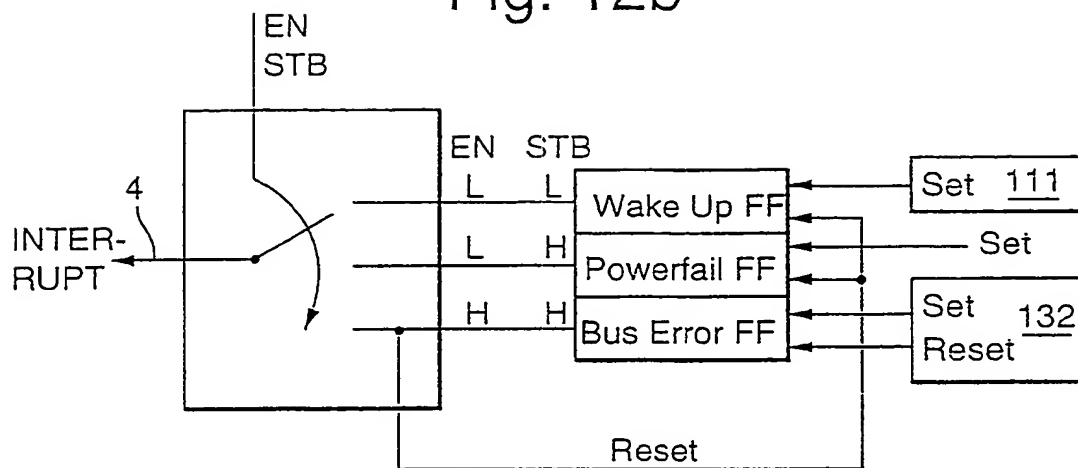


Fig. 13

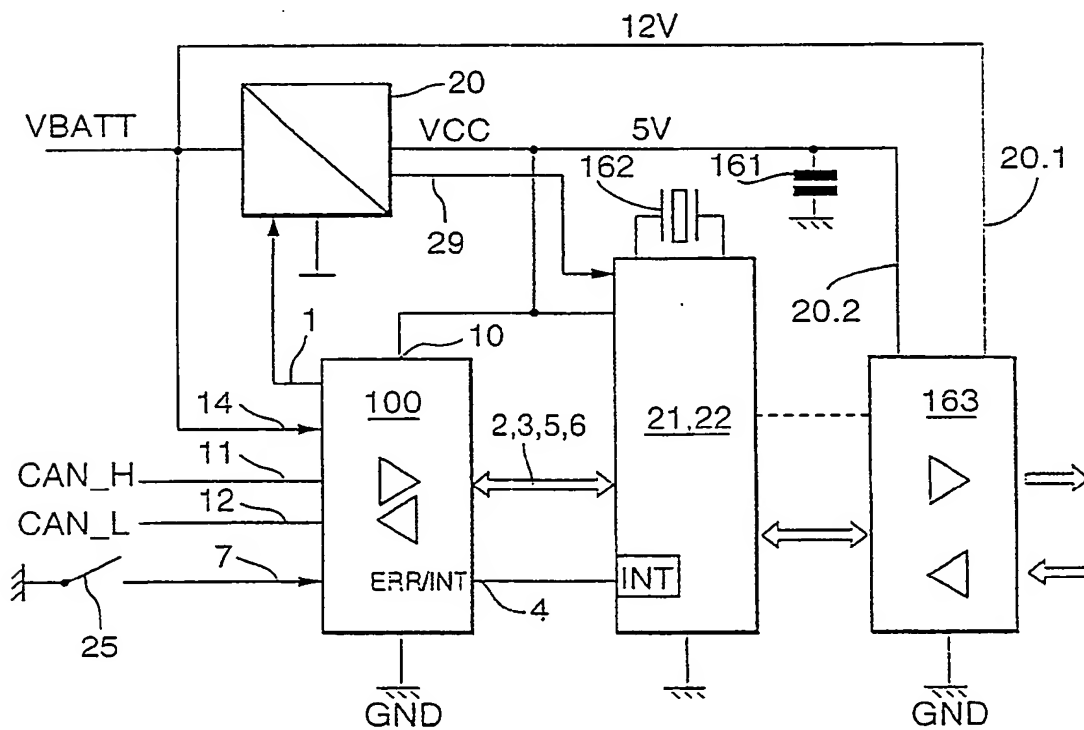




Fig. 14

